

Плата RMZ20_9361

Характеристики платы RMZ20_9361

- 2 когерентных канала приёма, 2 когерентных канала передачи.
- Диапазон изменения несущих частот приёмных и передающих каналов:
70...6000МГц.
- Диапазон изменения полосы приёмных и передающих каналов:
0,2 ... 56МГц.
- Диапазон изменения коэффициента усиления приёмных каналов:
не менее 67дБ с шагом не более 1дБ.
- Коэффициент шума приёмных каналов:
не более 4дБ в диапазоне 100..4000МГц, при максимальном усилении.
- Выходная мощность каналов передачи: не менее 1 мВт, в диапазоне
100..4000МГц.
- Микросхема ПЛИС Xilinx Zynq-7000 XC7Z020-2CLG400I:
 - 53200 триггеров,
 - 220 умножителей 25x18,
 - 140 блоков двухпортовой памяти по 36кБит.
 - Dual-core ARM Cortex-A9 CPU, тактовая частота до 600МГц.
- Оперативная память: DDR3-800, 256Мx32, суммарный объём 1ГБайт.
- Длительность непрерывной записи демодулированного радиосигнала с
полосой 56МГц: не менее 2с.
- Внешние интерфейсы:
 - Ethernet 1000BASE-T,
 - USB 2.0 (USB-UART),
 - Встроенный JTAG программатор и отладчик с интерфейсом USB 2.0,
совместимый с Xilinx ISE и Xilinx Vivado.
 - 32 буферизированных линий ввода-вывода TTL.
- Питание: 9...14В, **9Вт**.
- Габариты платы: 116x70мм.

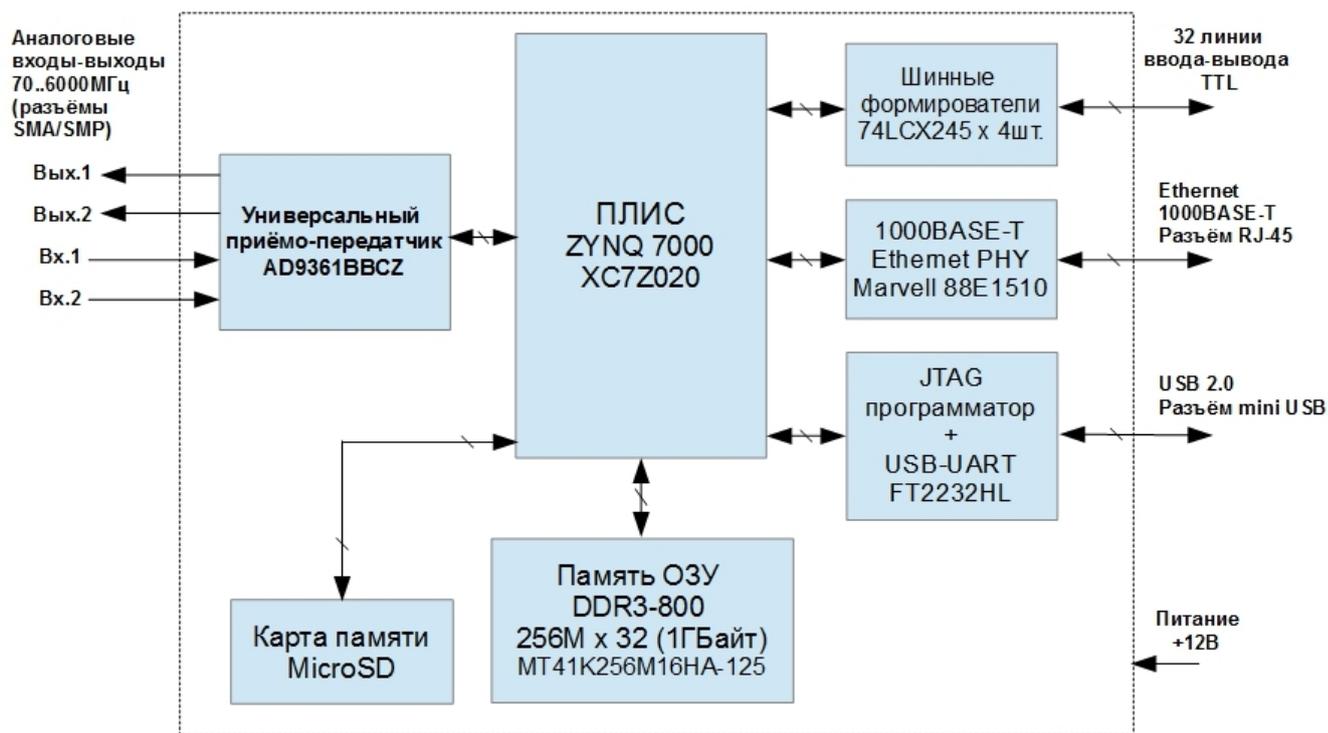


Рис.1. Структурная схема платы **RMZ20_9361**

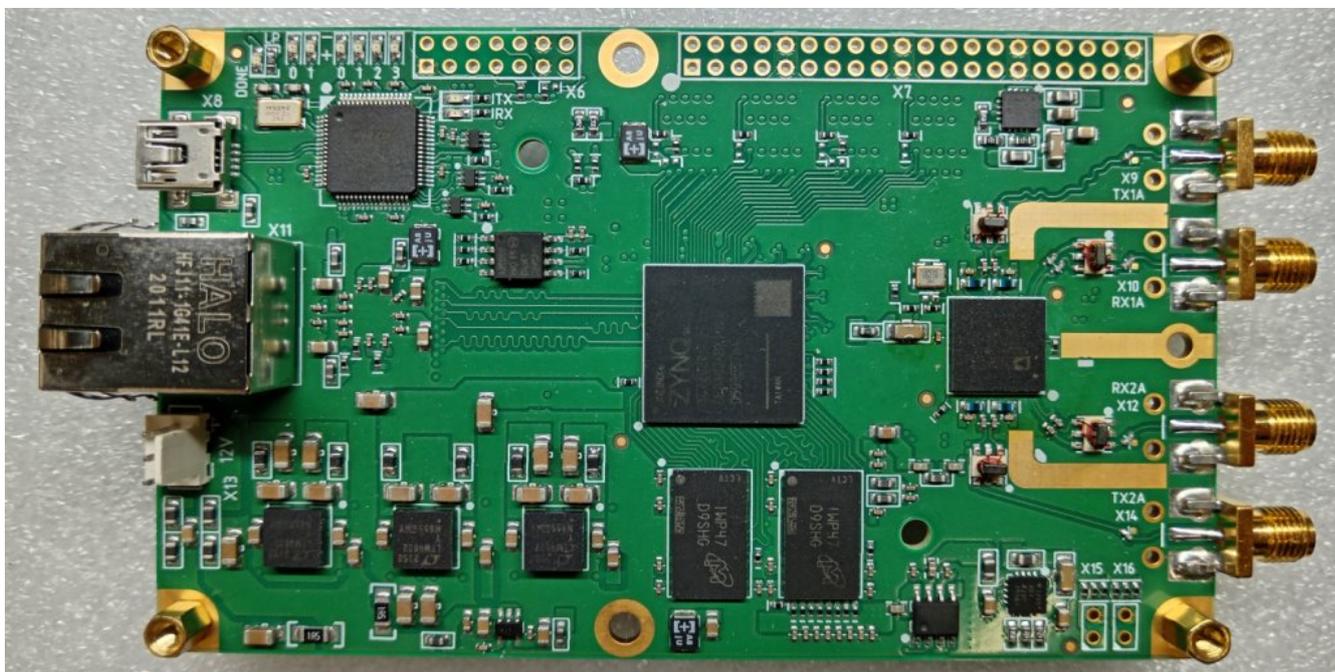


Рис.2. Фотография платы **RMZ20_9361**

Внешние интерфейсы платы RMZ20_9361

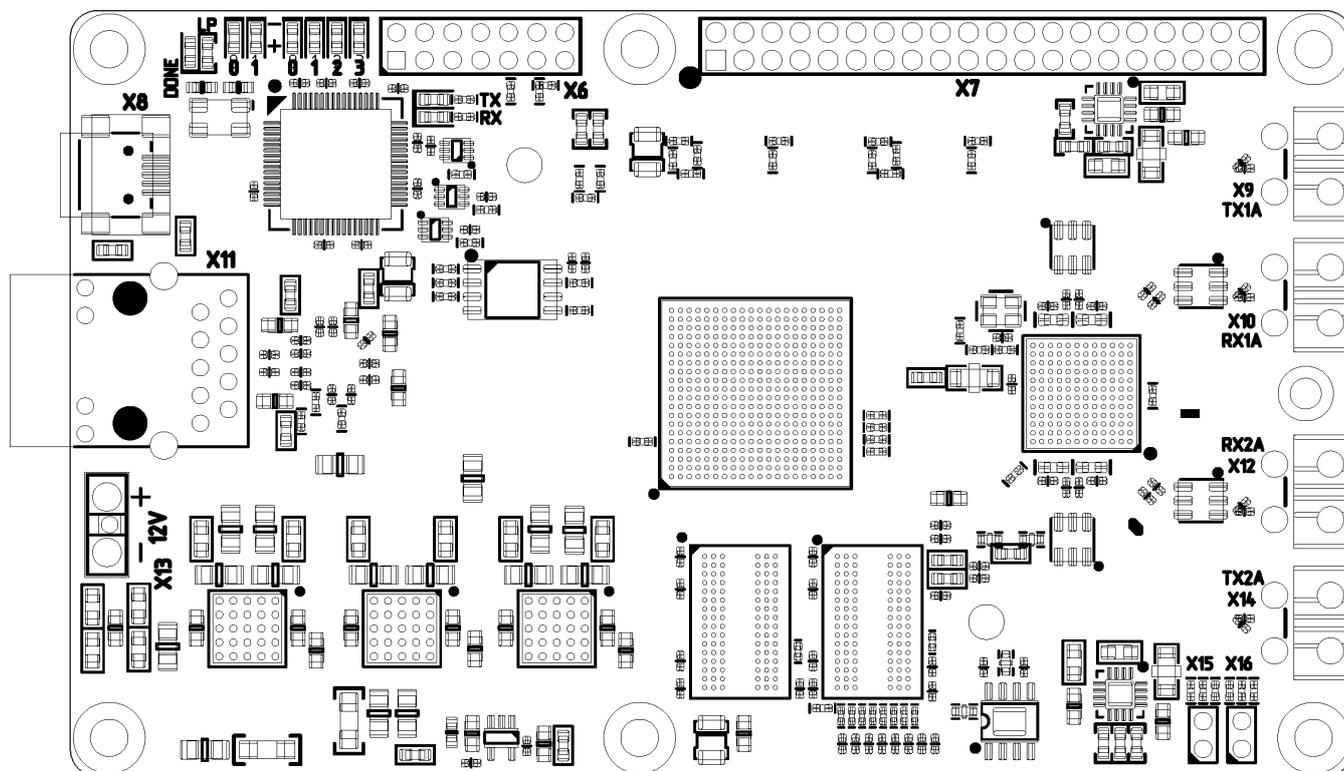


Рис. 3. Расположение элементов на плате RMZ20_9361

Для подключения к другим устройствам и взаимодействия с пользователем на плате предусмотрены следующие внешние интерфейсы:

- Разъём питания +12В: X13;
- Разъём USB 2.0 тип mini USB (низкоскоростной USB-UART, отладочный USB-JTAG): разъём X8;
- Порт Ethernet 1000BASE-T: разъём X11;
- 40-контактный разъём расширения, на который выведено 32 внешних буферизованных логических линий ввода-вывода общего назначения: X7;
- 2 разъёма аналоговых входов: X10, X12. Тип разъёмов – SMA/SMP.
- 2 разъёма аналоговых выходов: X9, X14. Тип разъёмов – SMA/SMP.
- разъём micro SD-карты: X6.
- 2 разъёма низкочастотных ЦАП: X15 и АЦП: X16.

Расположение внешних интерфейсов на плате, с указанием ориентации разъёмов, показано на рисунке 3.