



МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
“КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ”

Факультет прикладної математики  
Кафедра спеціалізованих комп'ютерних систем

# **КОМП'ЮТЕРНА ЕЛЕКТРОНІКА**

## **конспект лекцій**

Київ 2009

## Основні поняття та визначення

**Комп'ютерна електроніка** – це наука створення різноманітних за функціональним призначенням електронних вузлів та пристроїв.

**Метою дисципліни** є вивчення принципів і технології розробки та функціонування базових цифрових схем, способів їх використання при проектуванні пристроїв різного призначення.

Особливістю комп'ютерної електроніки є наявність двох функціональних рівнів:

- 1) реалізація елементарних функцій;
- 2) синтез функціональних схем.

Під комп'ютерною електронікою будемо розуміти сукупність:

- фізично обґрунтованих принципів реалізації схемних елементів;
- процесів передачі сигналів у лініях зв'язку;
- функціонально обґрунтованих принципів реалізації структур із схемних елементів;
- домовленість про форми представлення інформації та правила реалізації схемних інтерфейсів.

**Цифровий пристрій** – це пристрій, призначений для приймання, обробки й передачі цифрової інформації.

Будь-який цифровий пристрій з довільними складністю і призначенням виконується на дискретних елементах інтегральної схеми з різним ступенем інтеграції.

**Елементи цифрового пристрою** – найменші функціональні елементи, на які поділяють пристрій під час технологічної реалізації.

**Компоненти елементів** цифрових пристроїв – транзистори, діоди, конденсатори різного типу.

**Фізично повна система елементів** – система, що містить певні елементи, які зберігають можливість побудови кіл керування, пристроїв пам'яті та кіл зв'язку.

**Функціонально повна система елементів** – система, що дає змогу реалізувати будь-які складні функції шляхом суперпозиції найпростіших елементів.

**Технічно повна система елементів** – система, що задовольняє вимоги функціональної і фізичної повноти.

**Правила схемного інтерфейсу** – це узгодження за струмом, рівнем напруги та часовими параметрами.

## Класифікація елементів цифрових пристроїв

Елементи обчислювальних пристроїв можна класифікувати за:

- a) функціональним призначенням;
- b) типом сигналу;
- c) типом живлення;
- d) конструкцією.

Логічні пристрої класифікують за **способом введення\виведення інформації**:

- 1) **послідовні** – пристрої, в яких початкові змінні подаються на вхід, а кінцеві змінні знімаються з виходу не одночасно, а послідовно;
- 2) **паралельні** – пристрої, в яких всі розряди початкових змінних подаються на вхід, а всі розряди кінцевих змінних знімаються з виходу одночасно;
- 3) **послідовно-паралельні** – це пристрої, у яких початкові і кінцеві змінні подаються у різних формах.

Логічні пристрої розрізняють за **принципом дії**:

- 1) **комбінаційні (послідовносні)** – логічні пристрої без пам'яті, вихідні сигнали яких однозначно визначаються тільки діючою в певний момент на вході комбінацією змінних і не залежать від значень комбінацій змінних, що діяли раніше.

Роботу комбінаційних пристроїв можна описати наступним рівнянням:

$$Y_{t_i} = f(x_{1t_i}, x_{2t_i}, \dots, x_{nt_i})$$

- 2) **послідовні** – логічні пристрої, вихідні сигнали яких визначаються не тільки діючою в певний момент послідовністю змінних, а й тими змінними, що діяли в попередній момент часу.

Відповідно, робота послідовних пристроїв описується наступним рівнянням:

$$Y_{t_i} = f(x_{1t_i}, x_{2t_i}, \dots, x_{nt_i}, Y_{t_{i-1}})$$

Логічні пристрої поділяють на:

- 1) **логічні елементи** – елементи, які виконують одну логічну функцію. Логічні елементи перетворюють логічну інформацію (це схеми І, НЕ, АБО-НЕ...);
- 2) **функціональні елементи** (виконують кілька булевих функцій);
- 3) **елементи пам'яті**. До елементів пам'яті відносяться, наприклад, тригери. Елементи пам'яті можна розділити на активні й пасивні. Зазвичай активні запам'ятовуючі пристрої мають більшу швидкодію, а пасивні – об'єм. ОЗП відносять до активних елементів пам'яті, ПЗП – до пасивних. Носії інформації, наприклад, дискета теж відносяться до пасивних елементів;
- 4) **допоміжні елементи** – це ті елементи, які не перетворюють логічне значення вхідних сигналів, а підсилюють їх за потужністю або за тривалістю або виробляють постійний за рівнем і тривалістю сигнал (підсилювально-формуєчі елементи, генератори).

Логічні елементи виробляються серіями із широкою номенклатурою схем різного ступеня складності. Проте в кожній серії є так звана **базова схема**, що визначає в основному статичні й динамічні параметри елементів певної серії.

Найпоширенішими **типами базових елементів** є:

- транзисторно-транзисторна логіка (ТТЛ-схеми, TTL);
- еміторно зв'язана логіка (ЕЗЛ-схеми, ECL);
- транзисторні схеми з резисторними зв'язками (РТЛ-схеми, RTL);
- діодно-транзисторна логіка (ДТЛ-схеми, DTL);
- інжекційна інтегральна логіка (ІІЛ-схеми або  $I^2L$ ,  $I^2L$ );
- ТТЛ-схеми з діодами Шоткі (ТТЛШ-схеми, STTL);
- $I^2L$  з діодами Шоткі ( $I^2L$ Ш-схеми,  $SI^2L$ );
- схеми на основі транзисторів зі структурою метал-окисел-напівпровідник (МОН, MOS) з різними типами провідності:
  - рМОН (pMOS);
  - nМОН (nMOS);
  - КМОН (CMOS);
- схеми на МОН-транзисторах з лавинною інжекцією заряду (ЛІЗМОН);
- схеми на циліндричних магнітних доменах (ЦМД);
- схеми на основі приладів із зарядовим зв'язком (ПЗЗ, CCD).

**За способом кодування** елементи поділяють на:

- 1) імпульсні;
- 2) динамічні;
- 3) потенціальні;
- 4) імпульсно-потенціальні;
- 5) фазові.

Розглянемо детальніше кожен з зазначених категорій:

- 1) в **імпульсних** схемах логічна одиниця – це наявність електричного імпульсу напруги або струму. Логічний нуль – відсутність відповідного імпульсу. У сучасній обчислювальній техніці імпульсні елементи вже практично не використовуються;
- 2) в **динамічних** схемах логічна одиниця – це пачка імпульсів або потенціалів, що поновлюються через необхідний інтервал часу, а нуль – відсутність імпульсів (або ж навпаки);
- 3) в **потенціальних** схемах початкові і кінцеві двійкові змінні кодуються різною величиною електричного потенціалу. Для потенціальних елементів часто застосовується поняття позитивної та негативної логіки.

**Позитивна логіка** – коли кодування логічної одиниці відбувається високим рівнем, а логічного нуля – низьким (Рис. 1).

**Негативна логіка** – коли ж кодування відбувається навпаки;

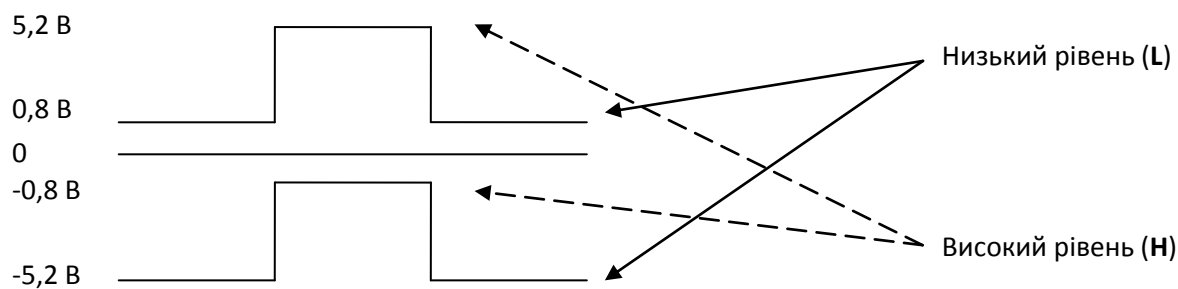


Рис. 1. Низький і високий рівень напруги

- 4) в **імпульсно-потенціальних** схемах на входи елементів можуть подаватись як потенціальні рівні, так і електричні імпульси. При цьому вихідні сигнали зазвичай мають імпульсний характер.

Розподіл сигналів на імпульсні і потенціальні є відносним.

Тип сигналу визначають через тривалість такту, залежно від частоти такту генератора.

Імпульсний – це сигнал з тривалістю, яка менша за тривалість такту.

Потенціальний – це сигнал з тривалістю, яка не менша, ніж тривалість такту.

- 5) у **фазових** елементах застосовують сигнали у вигляді синусоїдальної напруги, а значення нуля і одиниці кодуються фазою синусоїдальної напруги відносно опорної напруги.

Спосіб кодування інформації визначає не тільки специфіку системи елементів, а і її основні параметри.

**За типом живлення** елементи розділяють на статичні й динамічні (тобто ті, які залежать від джерела живлення). Живлення буває первинне (змінне, 220 В) або вторинне (постійна напруга, 5 В, 10 В, ...).

**За конструкцією** елементи ділять на:

- 1) дискретні – виготовлені способом дискретної технології (зібрані з окремих деталей, виготовлених як окремі вироби, незалежно одна від одної);
- 2) інтегральні – виконані за інтегральною технологією. Сюди відносять інтегральні схеми (ІС), великі інтегральні схеми (ВІС), надвеликі і ультравеликі інтегральні схеми (НВІС й УВІС).

# Діоди і транзистори як елементи логічних схем

## Діоди. Їх характеристики і використання

Діод – нелінійний елемент, який пропускає струм тільки в одному напрямку (Рис. 2).

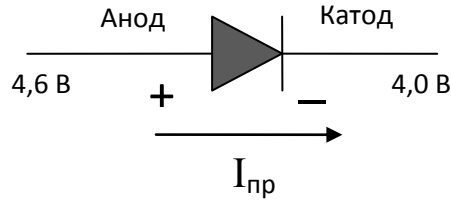


Рис. 2. Діод

Нагадаємо, що **нелінійними** називаються елементи, для яких не виконується закон Ома.

Щоб відкрити діод, необхідно подати на нього пряму напругу.

Для відкритого діоду опір наближається до нуля. В закритому стані через діод проходить струм, який вимірюється в наноамперах.

Якщо прикласти до діоду зворотну напругу (до катода +, а до аноду –), яка перевищує граничну зворотну (50 ÷ 70 В), то діод пробивається і струм зростає «клавиноподібно» (Рис. 3).

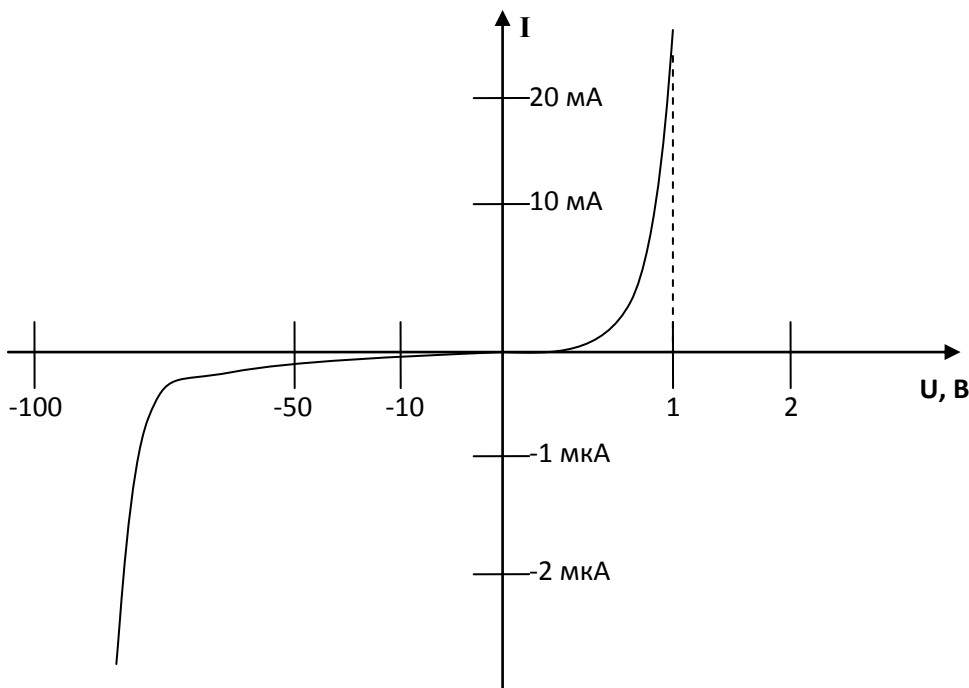


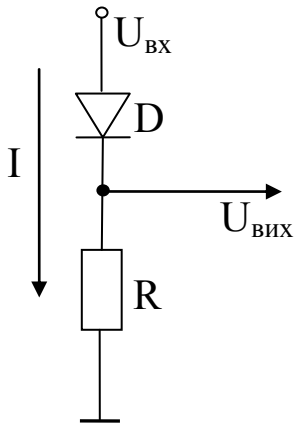
Рис. 3. Вольт-Амперна характеристика (ВАХ) діода

При використанні діодів в схемі необхідно врахувати:

- 1) діод не має опору з точки зору закону Ома;
- 2) схемі, до складу якої входять діоди, не можна замінити еквівалентною;
- 3) паралельне з'єднання нелінійних елементів небажане, оскільки можливе явище «перехоплення струмів» через розходження параметрів елементів.

## Діодні ключі

Найпростіші ключі можуть бути зібрані на діодах і резисторах (Рис. 4).



Якщо  $U_{вх} = H$  (високий рівень)

$$I = \frac{U_{ВХ} - U_{D_{пр}}}{R}$$

Вихідна напруга:

$$U_{ВІХ} = U_R = U_{ВХ} - U_{D_{пр}}$$

| $U_{ВХ}$ | $U_{ВІХ}$ |
|----------|-----------|
| L        | L         |
| H        | H         |

Рис. 4. Діодний ключ-повторювач

При низькому рівні діод D замкнений, струм у колі не протікає і напруга на виході практично дорівнює нулю й визначається струмом, зворотним закритого діоду. Така ситуація зберігається, поки напруга на виході не досягне напруги відкриття діоду. Діод відкривається і у колі починає протікати струм. При відкритому діоді напруга на діоді змінюється мало і струм практично не змінюється.

## Транзистори

Транзистори бувають:

- 1) біполярні (два переходи, маленький вхідний і вихідний опір, керуються струмом, основна умова – на базі повинен бути струм);
- 2) уніполярні (один перехід, вхідний і вихідний опір великий, керуються напругою).

### Біполярні транзистори

Біполярні транзистори бувають двох типів: **n-p-n** (Рис. 5) та **p-n-p** (Рис. 6).

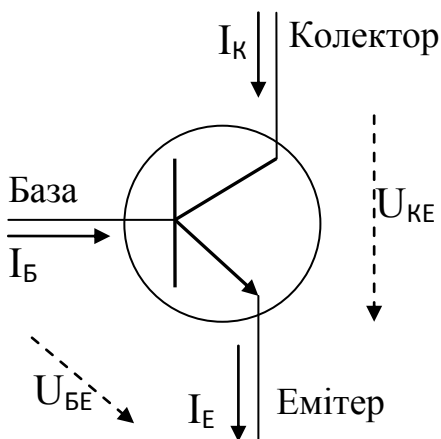


Рис. 5. n-p-n транзистор

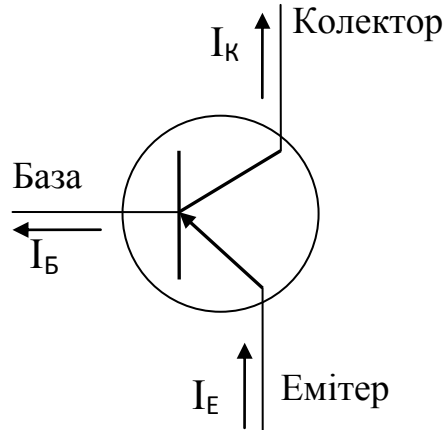


Рис. 6. p-n-p транзистор

**n-p-n транзистор:**

$$I_K = \beta I_B, \quad \beta - \text{коефіцієнт підсилення}$$

$$I_E = (1 + \beta) I_B$$

Якщо  $U_{KE} = U_{BE}$ , то маємо теоретичну границю насичення.

Якщо  $U_{KE} < U_{BE}$ , то транзистор переходить в режим насичення.

**p-n-p транзистор:**

$$I_K = \beta I_E$$

$$I_B = (1 - \beta) I_E$$

Режими роботи транзистора:

- 1) відсічки (закритий транзистор);
- 2) активний (підсилення струму);
- 3) насичення (відкритий транзистор,  $U_{KE} < U_{BE}$ ).

Біполярні транзистори керуються струмом. Керування здійснюється за умови подачі струму на базу транзистора. Якщо струм на базу транзистора не подається, то транзистор перебуває в режимі відсічки і опір між колектором і емітером наближається до нескінченності. Якщо перед цим режимом транзистор був в режимі насичення, то на базі буде зворотний струм (незначний) – струм розсмоктування зарядів. При подачі струму на базу транзистор переходить в активний режим.

Коефіцієнт підсилення  $\beta$  для кожного типу транзистора задається в певному діапазоні. В режимі насичення  $\beta$  значно зменшується.

В режимі насичення збільшення базового струму не призводить до значної зміни колекторного та емітерного струму.

$$I_K = \frac{\beta}{S} I_B, \quad \text{де } S - \text{ступінь насичення}$$

Між колектором і емітером в режимі насичення малий опір, що і визначає зменшену напругу  $U_{KE}$ .

Транзистори **n-p-n** підпорядковуються наступним правилам (для **p-n-p** правила зберігаються, але необхідно враховувати, що полярність напруги має бути змінена на протилежну):

- 1) колектор має більш позитивний потенціал, ніж емітер;
- 2) ланцюги база-колектор і база-емітер працюють як діоди, але перехід база-емітер відкритий (має пряме зміщення; подається додатний сигнал), а перехід база-колектор



- зміщений в зворотньому напрямку, тобто прикладена напруга заважає протіканню струму через нього;
- 3) кожен транзистор характеризується максимальними значеннями  $I_B$ ,  $I_K$ ,  $I_E$ ,  $U_B$ ,  $U_K$ ,  $U_E$  і іншими параметрами. Перевищення призводить до руйнування транзистора;
  - 4) якщо попередні три пункти виконуються, то транзистор працює як підсилюючий елемент.

## Транзисторні ключі

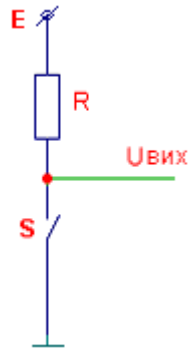


Рис. 7. Механічний ключ

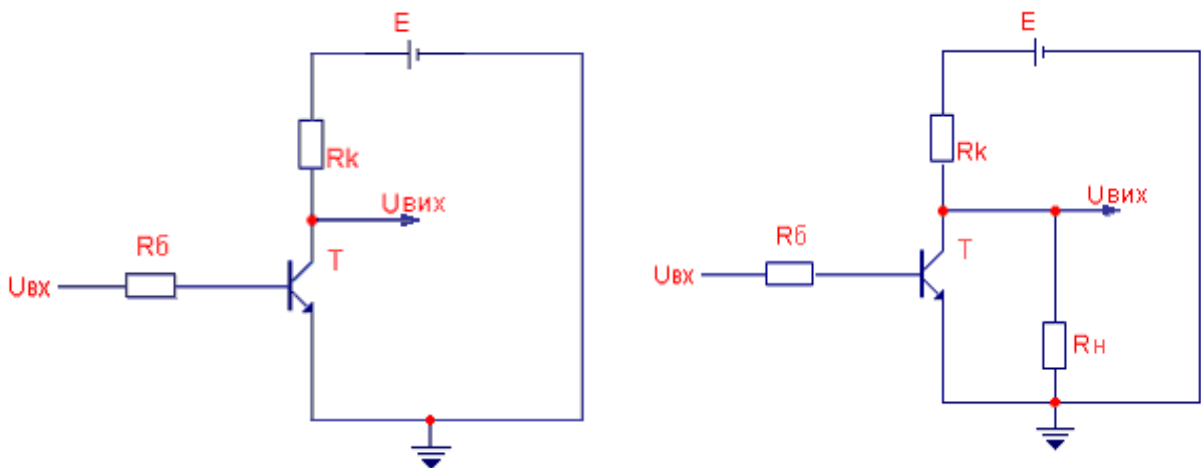


Рис. 8. Транзисторний ключ-інвертор без навантаження та з навантаженням

- a) якщо ключ  $S$  – відкритий (Рис. 7), то  $U_{вих} = H$ ;  
якщо ключ  $S$  – закритий, то  $U_{вих} = L$ ;
- b) якщо транзистор  $T$  – відкритий (Рис. 8), то  $U_{вих} = L$ ;  
якщо транзистор  $T$  – закритий, то  $U_{вих} = H$ .

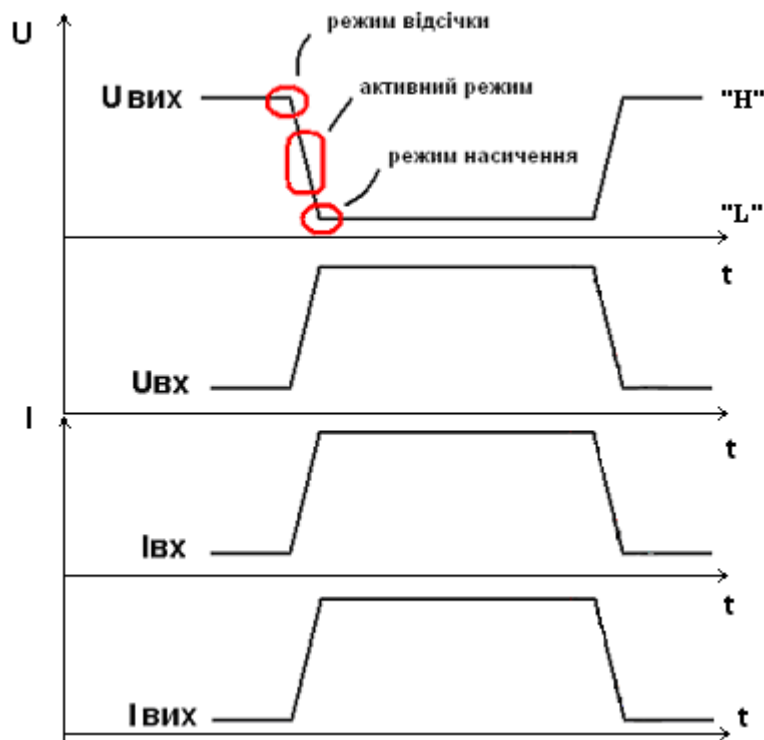


Рис. 9. Часова діаграма

Схема транзисторного ключа забезпечує інвертування вхідного сигналу (напруги), який подається на базу транзистора (Ри. 9). При подачі на вхід високого рівня струм подається через резистор  $R_B$  на базу транзистора і транзистор переходить в активний режим, а потім в режим насичення; напруга на колекторі змінюється від високого рівня до низького. При подачі низького рівня струм на базу транзистора не подається і транзистор закривається (може бути струм розсмоктування); транзистор переходить в режим відсічки і на виході (колекторі) встановлюється високий рівень.

При відсутності навантаження  $R_H$  високий рівень приблизно дорівнює  $E$ . При наявності навантаження  $R_H$  високий рівень визначається дільником напруги  $R_H$  з формули

$$U_{вих} = \frac{E}{R_K + R_H} R_H$$

Якщо емітер з'єднаний з землею, то при високому вхідному рівні

$$U_{вих} = U_{KE \text{ насичення}}$$

$$U_B = U_{BE}$$

Якщо в емітерному колі є додаткові елементи ( $R, D$ ), то

$$U_{вих} = U_E + U_{KE \text{ насичення}}$$

$$U_B = U_E + U_{BE}$$

## Особливості цифрової форми подачі інформації

Для передачі двійкової інформації використовується не весь діапазон перемикання елементів, а тільки ті зони, які виділені для високого (логічний «0») і низького рівня (логічна «1»). Ширина зон логічної одиниці і логічного нуля обумовлена параметрами елементів, які реалізують функції перемикання, а також навантаження схем. Заборонена зона, яка не використовується для кодування, знаходиться між значенням максимального нуля та мінімальної одиниці.

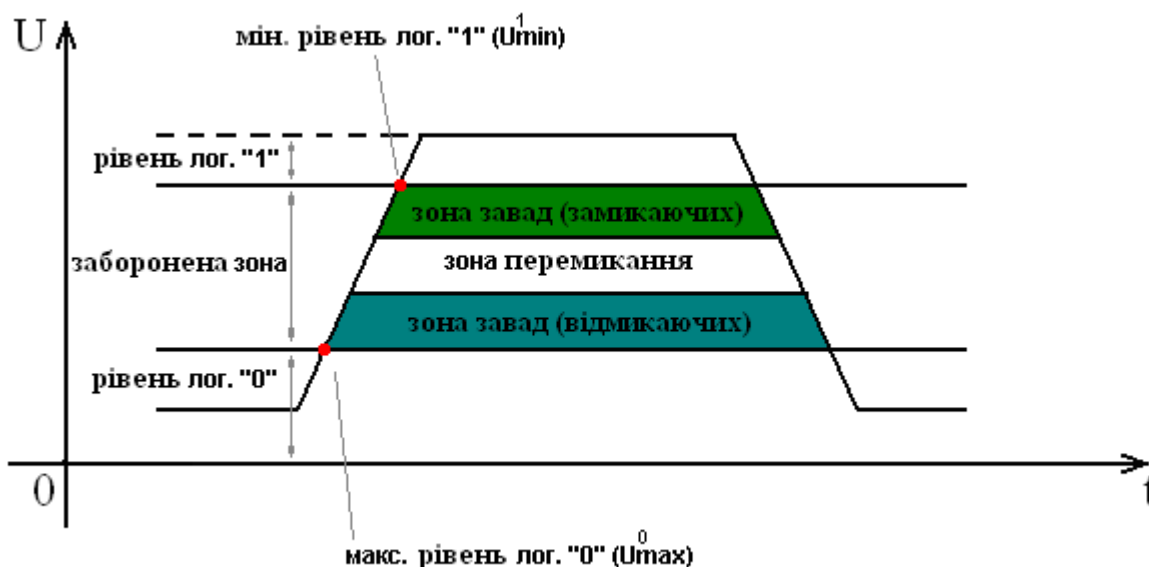


Рис. 10. Цифрове представлення інформації

Заборонена зона (зона перемикання), яка знаходиться між максимальним «0» та мінімальною «1» визначає завадостійкість схеми (Рис. 10). Чим вона ширша, тим вища завадостійкість. Перевищення максимального рівня «0» призводить до відмикання транзистора. Зниження рівня мінімальної «1» призводить до замикання транзистора. Однак зі зростанням ширини забороненої зони зростає час перемикання схеми.

Існує два типи завад:

- 1) **динамічні завади** – можуть мати більшу амплітуду при меншій тривалості. Якщо їх тривалість значно менша часу перемикання схеми, то, як правило, схема не встигає змінити свій стан;
- 2) **статичні завади** – мають меншу амплітуду, але більшу тривалість. Перехід їх амплітуди в зону порогової напруги може призвести до зміни стану схем.

## Транзисторні схеми із загальними навантаженнями або транзисторна логіка з безпосередніми зв'язками (ТЛБЗ)

Навантажувальна здатність для схем визначається допустимими рівнями напруги й струму.

Схеми можуть мати паралельне з'єднання із загальним колекторним навантаженням, послідовне з'єднання із загальним колекторним навантаженням, паралельне й послідовне з'єднання із загальним емітерним навантаженням.

### Паралельне з'єднання із загальним колекторним навантаженням

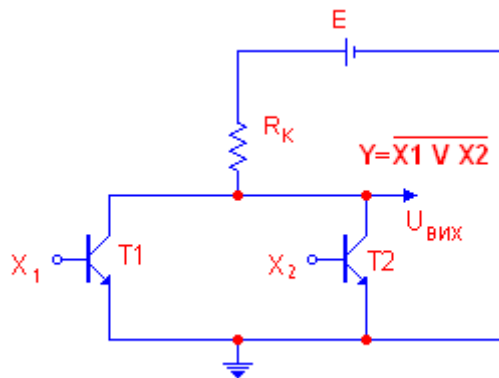


Рис. 11. Паралельне з'єднання транзисторів із загальним колекторним навантаженням

На виході цієї схеми (рис. 11) буде високий рівень за умови, якщо транзистори T1 і T2 закриті. Якщо хоча б один із транзисторів відкритий, то на виході встановлюється низький рівень, що визначається напругою  $U_{KE}$  насичення відкритого транзистора.

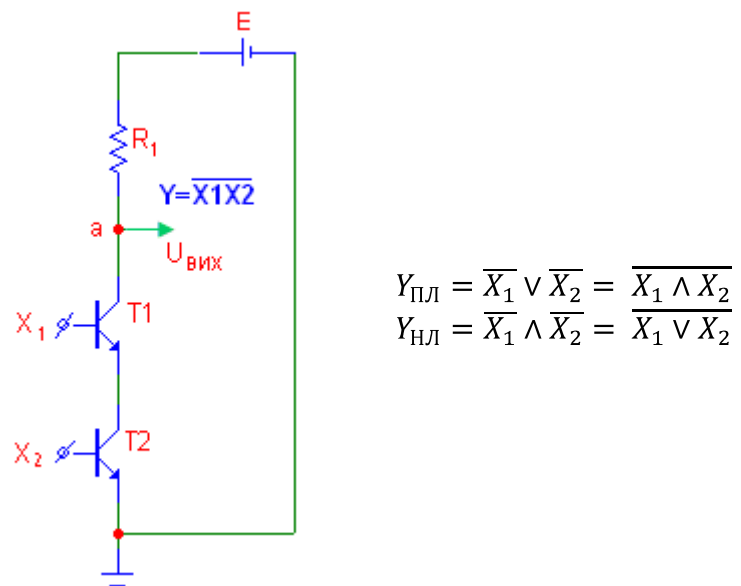
Щоб на виході був високий рівень (для позитивної логіки), треба закрити обидва транзистори (транзистор закритий, якщо на базі відсутній струм), тобто подати на обидва входи низькі рівні.

$$Y_{ПЛ} = \overline{X_1} \wedge \overline{X_2} = \overline{X_1 \vee X_2}$$

Для негативної логіки (НЛ) потрібно відкрити хоча б один транзистор, щоб на виході був низький рівень (логічна «1»). Тому хоча б на один вхід потрібно подати високий рівень, яким у негативній логіці кодується «0».

$$Y_{НЛ} = \overline{X_1} \vee \overline{X_2} = \overline{X_1 \wedge X_2}$$

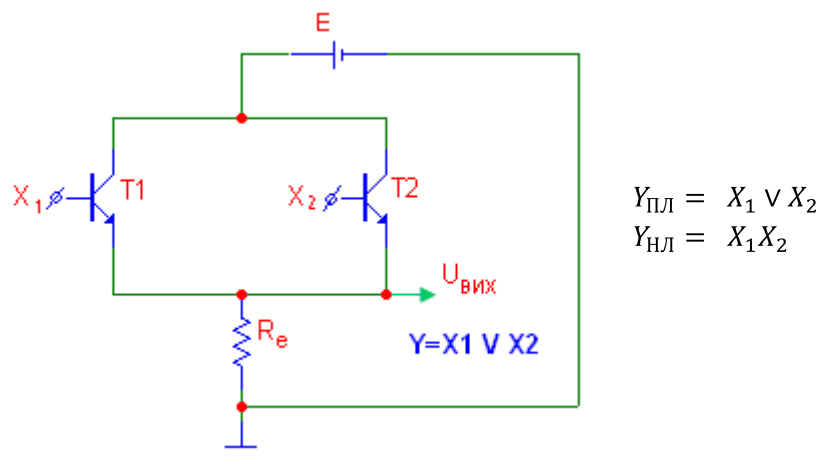
## Послідовне з'єднання із загальним колекторним навантаженням



**Рис. 12.** Послідовне з'єднання транзисторів із загальним колекторним навантаженням

Для високого рівня в даній схемі (Рис. 12) на виході хоча б один транзистор повинен бути закритий (коло між точкою а і схемною землею розірване), що досягається подачею хоча б на один із входів низького рівня.

## Паралельне з'єднання із загальним емітерним навантаженням



**Рис. 13.** Паралельне з'єднання транзисторів із загальним емітерним навантаженням

В даній схемі (Рис. 13) повинен бути відкритий хоча б один транзистор (для ПЛ), для цього треба подати високий рівень хоча б на один із входів.

## Послідовне з'єднання із загальним емітерним навантаженням

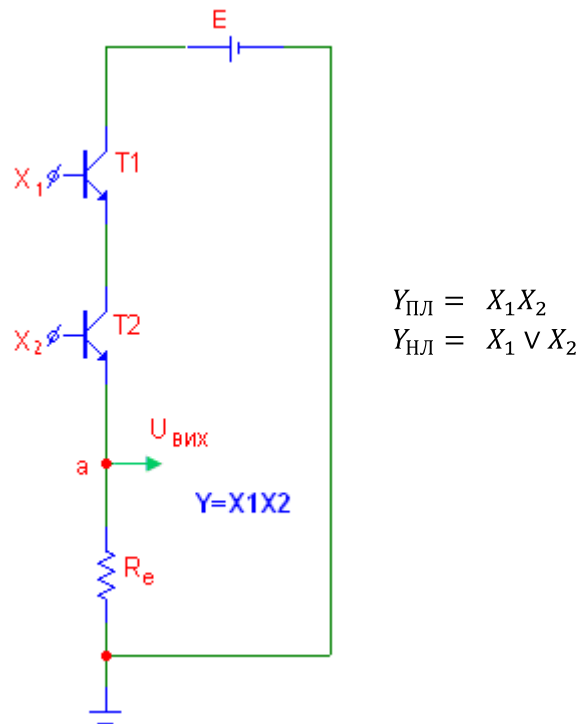


Рис. 14. Послідовне з'єднання транзисторів із загальним колекторним навантаженням

В даній схемі (Рис. 14) для високого рівня на виході повинні бути відкриті обидва транзистори (для ПЛ).

## Основні параметри і характеристики елементів цифрових схем

Схема характеризується вхідною й вихідною напругою, вхідним і вихідним струмами, а також часовими параметрами (швидкодією).

Швидкодія логічного елемента при перемиканні визначається логічною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювання динамічних параметрів встановлені вимоги до амплітуди і тривалості фронтів вхідних і вихідних сигналів.

Основними динамічними параметрами логічних елементів є:

- 1) затримка поширення сигналів під час перемикання;
- 2) тривалість позитивного (наростаючого) і негативного (спадаючого) фронтів.

**Затримка поширення** визначається як інтервал часу між вхідним і вихідним сигналами логічного елемента і вимірюється на рівні 0,5 логічного переходу вхідного і вихідного сигналу. Оскільки час затримки передачі під час переходу з одиниці в нуль може відрізнитись від часу затримки передачі під час переходу з нуля в одиницю, то здебільшого користуються формулою

$$t_{3П} = \frac{t_{3П}^{10} + t_{3П}^{01}}{2}$$

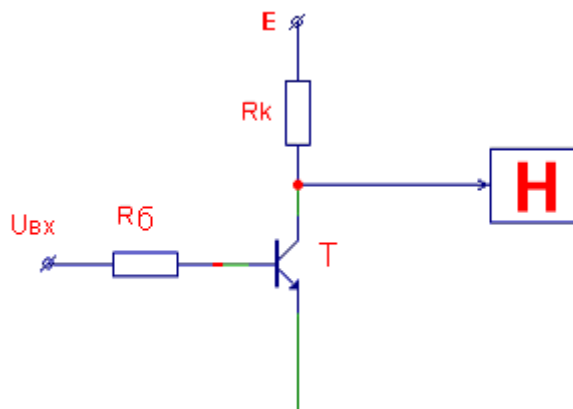


Рис. 15. схема інвертору

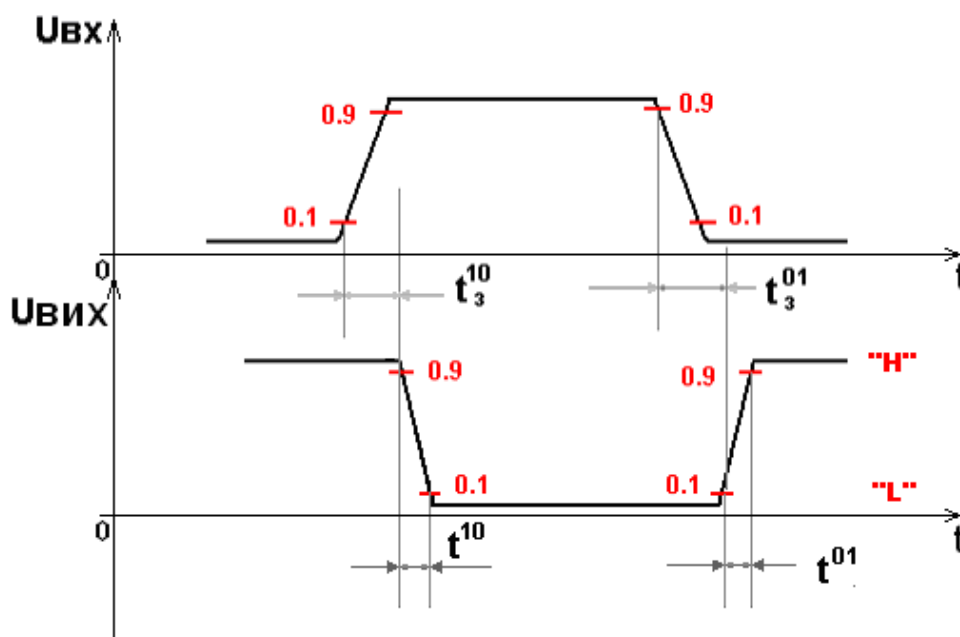


Рис. 16. Часова діаграма (цифрове представлення інформації)

**Час переходу  $t^{10}$**  – інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня логічної одиниці до рівня логічного нуля. Вимірюється період часу між 0,1 і 0,9 від логічного перепаду (Рис. 16).

**Час затримки  $t_3^{10}$  вмикання логічного елемента** – інтервал часу між вхідним і вихідним сигналами під час переходу напруги на виході логічного елемента від одиниці до нуля, виміряний на рівні 0,1 від логічного переходу вхідного сигналу і на рівні 0,9 від логічного переходу вихідного сигналу. Такий підхід зумовлений тим, що на верхньому й нижньому плато (рівна частина сигналу) можуть спостерігатися згасаючі коливання.

**Інтенсивність відмови (відказу):**

$$\lambda = \frac{n}{T * N}, \text{ де}$$

$n$  – кількість елементів, які відмовили за час випробування  $T$ ,  
 $N$  – кількість елементів, над якими проводились випробування.

**Надійність** (ймовірність безвідмовної роботи):

$$p = e^{-\lambda t}$$

До **статичних параметрів** відносять:

$$U_{BX}^1 \min, U_{BX}^0 \max, U_{ВИХ}^1 \min, U_{ВИХ}^0 \max, I_{BX}^0, I_{BX}^1, I_{ВИХ}^0, I_{ВИХ}^1$$

Де, наприклад,  $I_{BX}^1$  – вхідний струм логічної одиниці, який визначають за умови, коли на вхід елемента подається напруга логічної одиниці.

Вхідні та вихідні значення рівнів і значення струмів визначають навантажувальну спроможність схем, а також споживальну потужність за заданих умов. Здебільшого вхідні і вихідні параметри задаються для несприятливих режимів.

Для побудови розгалужених логічних кіл потрібно, щоб кожен елемент мав визначену **навантажувальну здатність** за входом і виходом, тобто міг працювати за кількома логічними входами та одночасно керувати кількома входами інших логічних елементів. Навантажувальну здатність елемента виражають коефіцієнтом об'єднання по входу та коефіцієнтом розгалуження на виході.

**Коефіцієнт об'єднання по входу** – це число входів логічного розширення.

**Коефіцієнт розгалуження** – число одиничних навантажень, які можна одночасно підключити до виходу логічного елемента. Одиничним навантаженням є один вхід базового логічного елемента. Кожен логічний елемент з боку входу є нелінійним навантаженням.

До **конструктивних параметрів** відносять:

- 1) кількість джерел живлення, необхідних для роботи певної серії;
- 2) тип корпусу (габарити, кількість виводів тощо);
- 3) інтегральні характеристики (ступінь інтеграції N логічної схеми, тобто кількість вентилів, розміщених на одному кристалі);
- 4) енергія перемикання

$$A = P_{СП.СЕР} t_{P.C.СЕР}.$$

$A$  – енергія перемикання;

$t_{P.C.СЕР}$  – середній час розповсюдження сигналу;

$P_{СП.СЕР} = \frac{P_{СП}^1 + P_{СП}^0}{2}$  – середня потужність споживання (середнє арифметичне потужностей перемикання з нуля в одиницю та з одиниці в нуль).



## Види зв'язків у схемах

Зв'язки поділяються на активні (які змінюють сигнал) і пасивні (не змінюють сигнал).

До пасивних відносять:

1. Гальванічний зв'язок. Забезпечується за допомогою провідника.
2. Резисторний зв'язок. Обмежує струм в колі (Рис. 17).

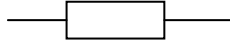


Рис. 17

3. Резисторно-ємкісний (резисторно-конденсаторний) зв'язок (Рис. 18).

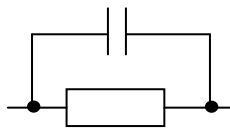


Рис. 18

4. Діодний зв'язок. Використовується для форсування включення елементів, які керуються струмом.
5. Гальванічна розв'язка. Забезпечує розв'язку в одному напрямку (Рис. 19).

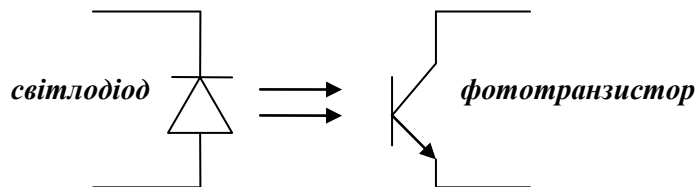


Рис. 19

До активних відносять:

1. Інвертори (Рис. 20).

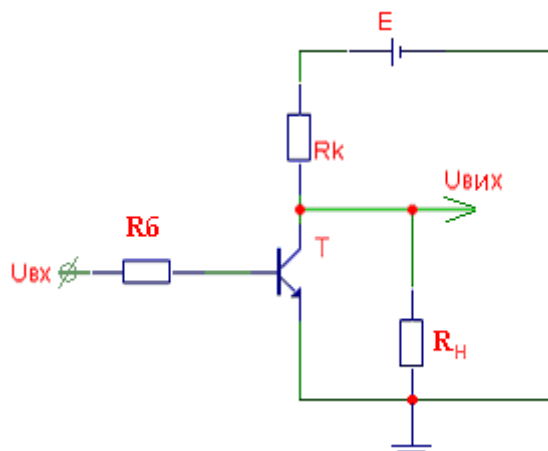
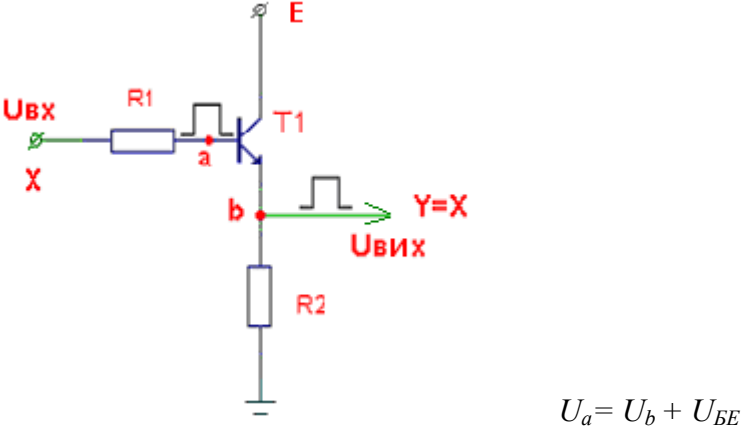


Рис. 20

2. Емітерні повторювачі (Рис. 21).



$$U_a = U_b + U_{BE}$$

Рис. 21

3. Перемикачі струму (Рис. 22).

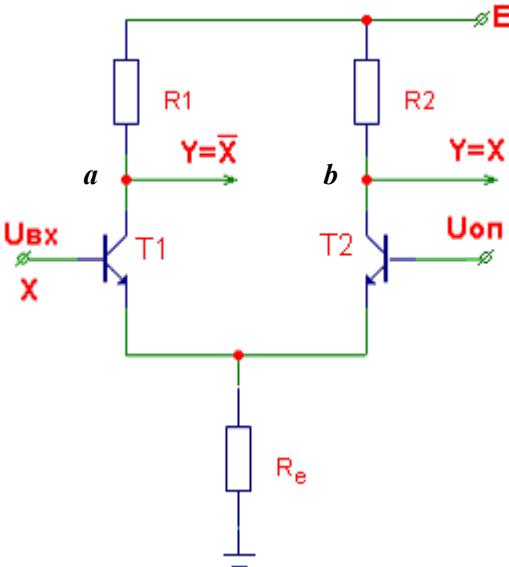


Рис. 22

**Призначення елементів перемикача:**

$U_{OP}$  – джерело опорної напруги, відносно якої відбувається перемикання схеми;

$R_1, R_2$  – резистори, які обмежують струм на колекторах транзисторів  $T_1$  і  $T_2$  відповідно;

$T_1, T_2$  – транзистори, які працюють як ключі навантаження в емітерному колі.

Через схему постійно проходить струм  $I_{Re}$ . Схема має бути абсолютно симетричною, тобто резистори  $R_1, R_2$ , а також транзистори  $T_1, T_2$ , повинні мати не лише однаковий тип і номінал, а й допуск (відхилення параметрів).

Якщо на вхід  $U_{BX}$  (база  $T_1$ ) подається струм і напруга  $U_{BX}$  перевищує  $U_{OP}$ , то струм проходить по лівому колу

Якщо на виході в точці **a** низький рівень, то в точці **b** – високий ( $T_1$  – відкритий,  $T_2$  – закритий).

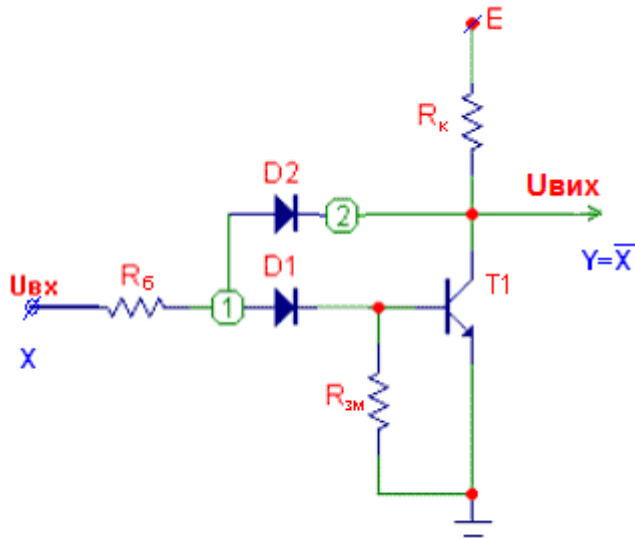
Якщо  $U_{BX} < U_{OP}$ , то  $T_1$  – закритий, а відповідно **a** = H, **b** = L.

За умови, коли  $U_{BX} = U_{OP}$ , струм  $I_{R1} = I_{R2} = \frac{I_{Re}}{2}$ .

Транзистори в даній схемі працюють в активному режимі і не заходять в режим насичення. Це дозволяє підвищити швидкість роботи схеми, але збільшити потужність споживання.

## Транзисторний ключ з нелінійним зворотним зв'язком

Для підвищення швидкодії у цифрових пристроях часто застосовується нелінійний колекторно-базовий від'ємний зворотний зв'язок.



$$U_1 = U_{BE} + U_{D1 \text{ прямиє}}$$
$$U_2 = U_1 - U_{D2 \text{ прямиє}}$$

Рис. 23. Транзисторний ключ з нелінійним зворотним зв'язком

### Призначення елементів:

$R_B$  – обмежує струм у колі бази транзистора;

$R_K$  – обмежує струм у колекторному колі транзистора;

$R_{зм}$  – резистор зміщення, забезпечує надійне вимикання транзистора при подачі на вхід низького рівня;

$D_1$  – забезпечує гальванічну розв'язку в колі бази;

$D_2$  – забезпечує нелінійний зворотний зв'язок.

Діод зворотного зв'язку  $D_2$  перебуває під напругою  $U_1 - U_2$ . До моменту, поки напруга в точці 2 перевищує напругу в точці 1, діод закритий. При подачі на вхід високого рівня, струм проходить через резистор  $R_B$  та діод  $D_1$  на базу транзистора  $T1$ . Під час відкриття транзистора напруга в точці 2 зменшується. Коли напруга в точці 2 стає менша за напругу в точці 1, діод  $D_2$  включається у прямому напрямку (відкривається). Включення діода замикає вузли 1 та 2 через малий опір відкритого діода  $D_2$ . Наявність нелінійного зворотного зв'язку (НЗЗ) знижує коефіцієнт підсилення струму каскаду так, що подальше збільшення вхідного струму  $I_{Rб}$  мало впливає на підвищення струму на колекторі. На колекторі зберігається позитивна напруга і транзистор  $T1$  не заходить у режим насичення.

При наявності НЗЗ транзистор не може зайти в режим насичення. НЗЗ модернізує схему транзисторного ключа. Як тільки напруга відкриває діод, струм розділяється і йде як на колектор, так і на емітер. Якщо  $D_1$  та  $D_2$  однакові, то  $U_{KE} = U_{BE}$  (теоретична границя насичення).

При подачі замикаючого сигналу спочатку відключається діод  $D_2$ , а потім змінюється колекторна напруга. При закритому транзисторі нелінійний зворотний зв'язок розірваний. Так як при використанні НЗЗ у базі транзистора не відбувається надлишкове накопичення зарядів, то при закритті транзистора спостерігається мінімальний струм розсмоктування, що забезпечує швидке закриття транзистора.

## Біполярний ключ з використанням прискорюючого (форсуючого) конденсатора

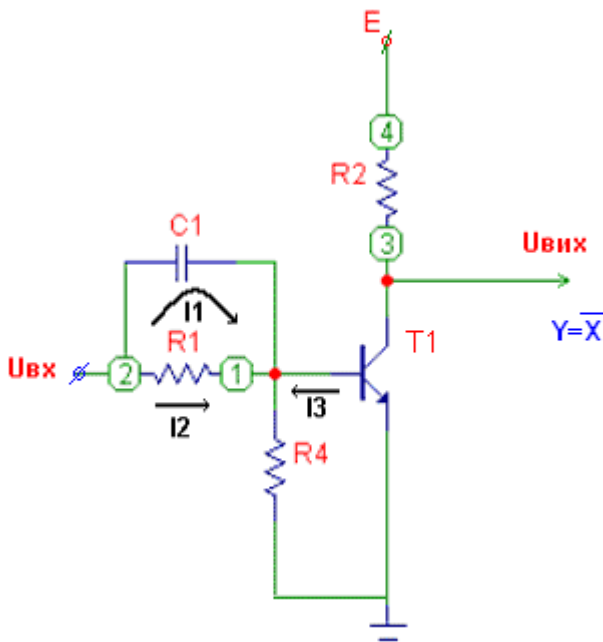


Рис. 24. Транзисторний ключ із форсуючою ємністю на вході

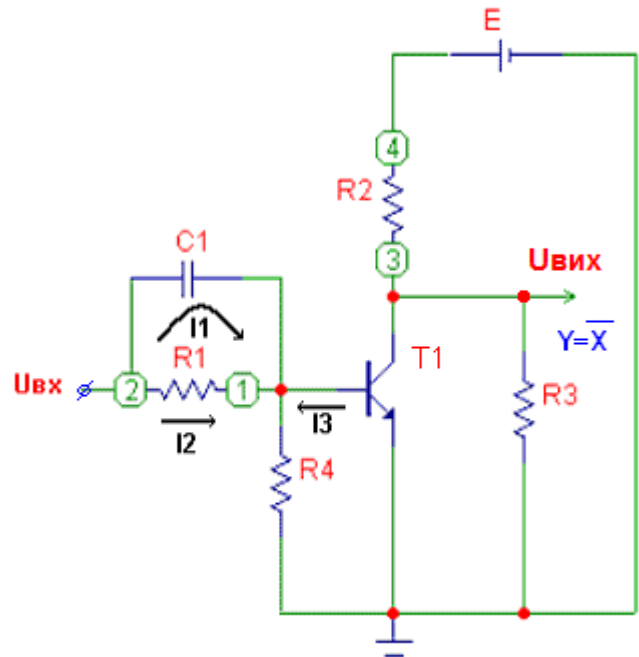


Рис. 25. Модифікація схеми

Один із найпростіших засобів прискорення роботи ключа – використання прискорюючого (форсуючого) конденсатора, який на вході схеми включається паралельно резистору  $R_B$ .

В момент різкої зміни вхідного сигналу створюється надлишковий струм на базі, який в декілька разів може перевищувати номінальний. В момент  $t_1$  струм проходить по колу конденсатора до моменту його повного заряду (Рис. 26). Наявність великого струму переводить транзистор в режим насичення. При подачі на вхід низького струму полярність конденсатора змінюється і струм розсмоктування проходить через конденсатор.

Ємність  $C$  вибирається виходячи з необхідної швидкодії так, щоб за період проходження імпульсів конденсатор встигав розряджатись, інакше швидкодія знижується і тривалість фронтів зростає. Необхідно враховувати максимальний струм на базі, а також зміну струму на базі в момент  $t_2$ .

Перевага: висока швидкодія.

Недолік: наявність додаткової ємності.

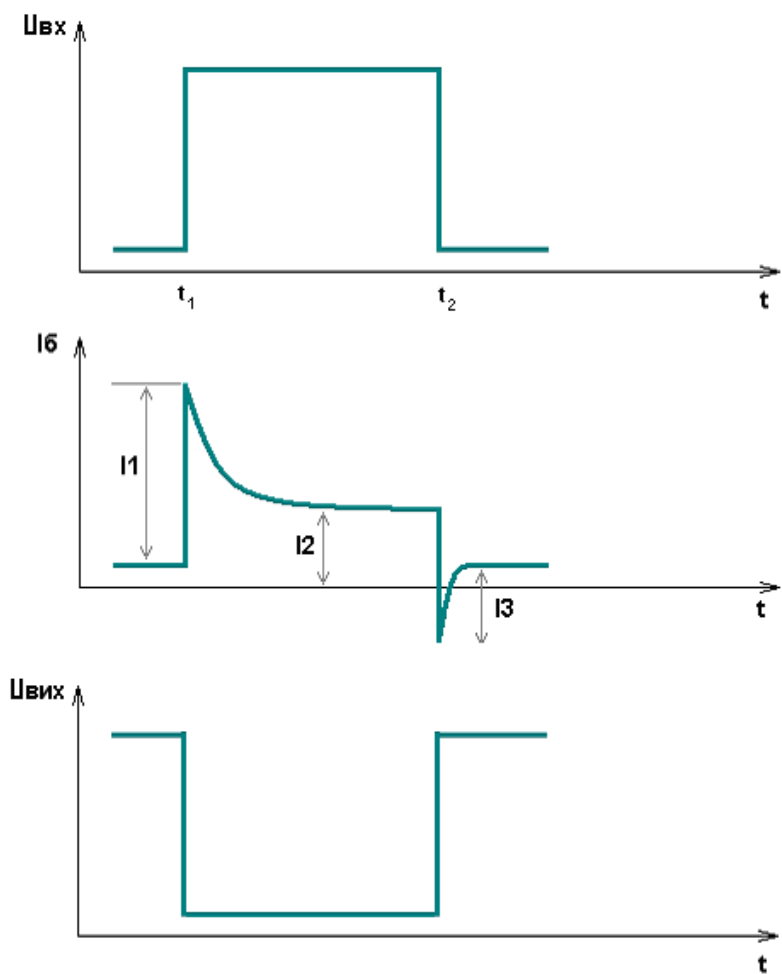


Рис. 26. Часова діаграма струму на базі та напруг

$$I_1 = \frac{U_{\text{ВХ}} - U_{\text{БЕ}}}{R_{\text{ДЖЕРЕЛА}}}, \quad I_2 = \frac{U_{\text{ВХ}} - U_{\text{БЕ}}}{R_{\text{Н}} + R_1}$$

## Діодна фіксація вихідного високого рівня

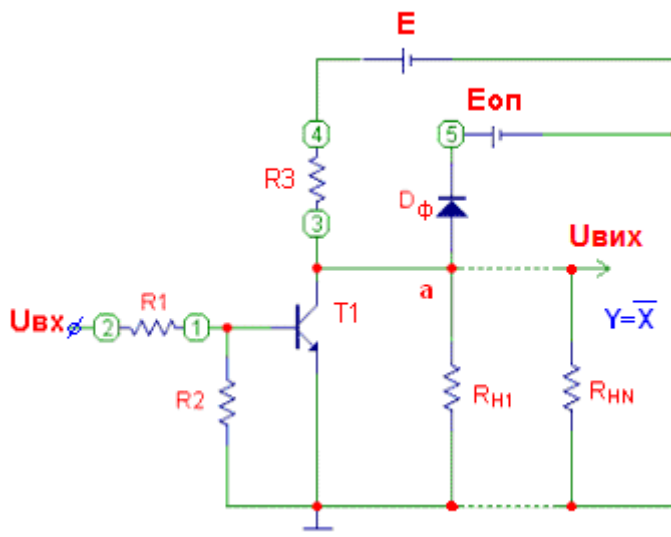


Рис. 27. Схема транзисторного ключа з діодною фіксацією на виході

$D_\phi$  – діод фіксації

$$R_{H1} = R_{H2} = \dots = R_{HN}$$

Нехай  $N = 10$ ,  $R_{\text{еквівалентний}} = 30 \text{ Ом}$   $\Rightarrow R_{Hi} = 1300 \text{ Ом}$ .

Схема з фіксуючим діодом на виході (Рис. 27) забезпечує фіксацію вихідного високого рівня при заданому вихідному навантаженні (при заданій кількості  $N$  резисторів  $R_{Hi}$ ). Для фіксації високого вихідного рівня використовується додаткове джерело живлення опори  $E_{on}$ , величина якого визначається виходячи з величини  $U^l_{вих}$  (вихідний високий рівень) та прямого падіння напруги на діоді фіксації  $D_\phi$ :

$$E_{on} = U^l_{вих} - U_{Dnp}, \quad U^l_{вих} \geq U^l_{вих \min}$$

Якщо на виході відсутнє навантаження, то струм  $I^l_{вих}$  проходить по колу  $E \rightarrow R3 \rightarrow D_\phi \rightarrow E_{on}$ .

Фіксує коло дозволяє підтримувати вихідну напругу високого рівня в заданому діапазоні за умови, що навантаження не перевищує  $N_{max}$ :

$$0 \leq N \leq N_{max}$$

Кількість навантаження визначається вихідним струмом  $I^l_{вих}$ .

При зміні навантаження в заданих межах  $N = 1 \div k$  вихідний струм точки **a** розподіляється між колом фіксації ( $D_\phi \rightarrow E_{on}$ ) та елементами навантаження  $R_{Hi}$ .

У випадку перевищення навантаження коло фіксації відключається і весь струм йде на паралельно ввімкнене навантаження та вихідний рівень «1» стає меншим заданого мінімального вихідного рівня «1» ( $U^l_{вих} < U^l_{вих \min}$ ). Вихідний рівень визначається співвідношенням номіналів резисторів  $R3$  та  $R_{екв}$ . Таким чином, коло  $E_{on} \rightarrow D_\phi$  забезпечує стабільність вихідного високого рівня при зміні навантаження з урахуванням заданого коефіцієнта розгалуження та не впливає на вихідний низький рівень (при низькому рівні це коло закрито).

## Базова схема ДТЛ (діодно-транзисторної логіки)

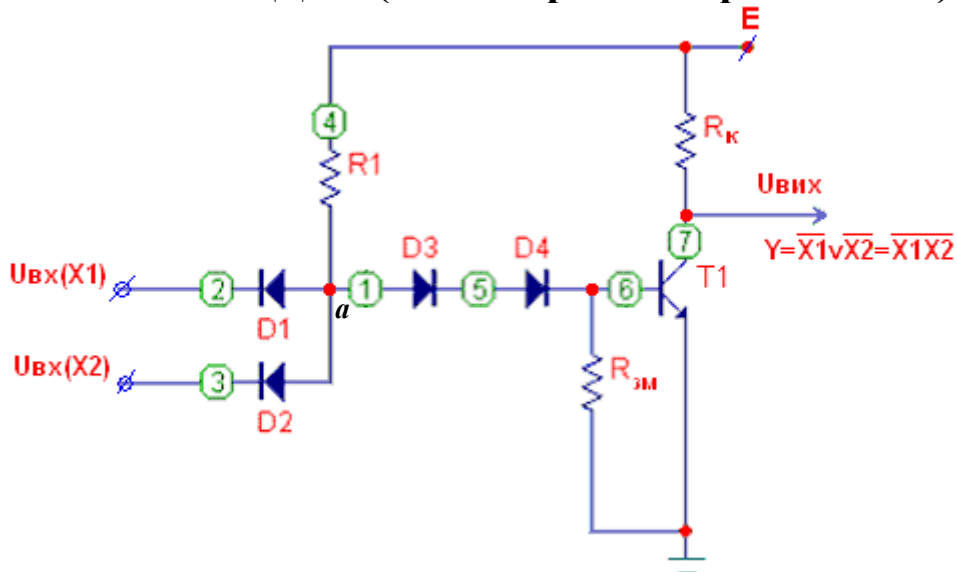


Рис. 28. Базова схема ДТЛ

### Призначення елементів (Рис. 28):

$R_1, D_1, D_2$  – вхідний блок, що реалізує функцію «І».

$D_3, D_4$  – діоди зміщення.

Резистор  $R_1$  та діоди  $D_1$  і  $D_2$  утворюють вхідний блок, який реалізує функцію «І». Резистор  $R_1$  задає величину вхідного струму  $I_{ВХ}^0$ , якщо на входах хоча б один низький рівень, та величину базового струму для  $T1$ , якщо на всіх входах встановлений високий рівень. Діоди  $D_1$  та  $D_2$  підвищують поріг спрацьовування схеми та пропускають струм в одному напрямку. Діоди  $D_3, D_4$  – діоди зміщення, забезпечують надійне закриття транзистора, коли хоча б на одному вході низький рівень. Резистор зміщення використовується для забезпечення перемикання транзистора при переході його з режиму насичення, а також підвищує надійне закриття при зміні напруги в точці  $a$ .

Резистор  $R_K$  обмежує колекторний струм транзистора  $T1$ .

Транзистор  $T1$  забезпечує інверсію базового сигналу. Тобто вся схема реалізує функцію «І-НЕ».

$$U_{ex}=L=U_{KEH Ti-1} \Rightarrow U_a = U_{KEH Ti-1} + U_{D1(2)}, \text{ де } Ti-1 - \text{схема на вході.}$$

Через колектор транзистора схеми на вході протікає сумарний струм:

$$I_K = I_{Rk} + k * I_H$$

Максимальний вхідний струм  $I_{ВХ}^0$  буде в тому випадку, коли низький рівень тільки на одному вході.

$$I_{ВХ}^0 = k * I_H, \text{ де } k - \text{кількість навантаження.}$$

### Принцип роботи схеми:

Якщо хоча б на один із входів схеми подати низький рівень, то відкривається відповідний вхідний діод та вхідний струм протікає по колу  $E \rightarrow R_1 \rightarrow D_{1(2)}$ . При цьому струм на базу транзистора не подається, транзистор  $T1$  закритий і на виході високий рівень.

$$U_a = U_{ex}^0 + U_{D1(2)} = U_{KE Ti-1} + U_{D1(2)}$$

При послідовно ввімкненій схемі ДТЛ струм  $I_{ex}^0$  потрапляє на вхід попередньої схеми, тобто визначає навантажувальну здатність схеми в режимі, коли на її виході встановлений низький



рівень, при цьому струм на базу транзистора  $T1$  не потрапляє, відповідно  $T1$  знаходиться в режимі відсічки і на виході нашої схеми встановлено високий рівень.

Якщо на всі входи подати високий рівень ( $U_{BX1}=U_{BX2}=H$ ), то входні діоди  $D_1$  та  $D_2$  закриті і струм по колу  $E \rightarrow R_1 \rightarrow D_3 \rightarrow D_4$  від джерела живлення потрапляє на базу  $T1$ , відповідно транзистор відкривається, переходить в режим насичення і на виході встановлюється низький рівень:  $U_{вих}=L=U_{КЕН T}$ .

$$U_a = U_{D3} + U_{D4} + U_{БЕН T}$$

## Основи схемотехніки ТТЛ (транзисторно-транзисторної логіки)

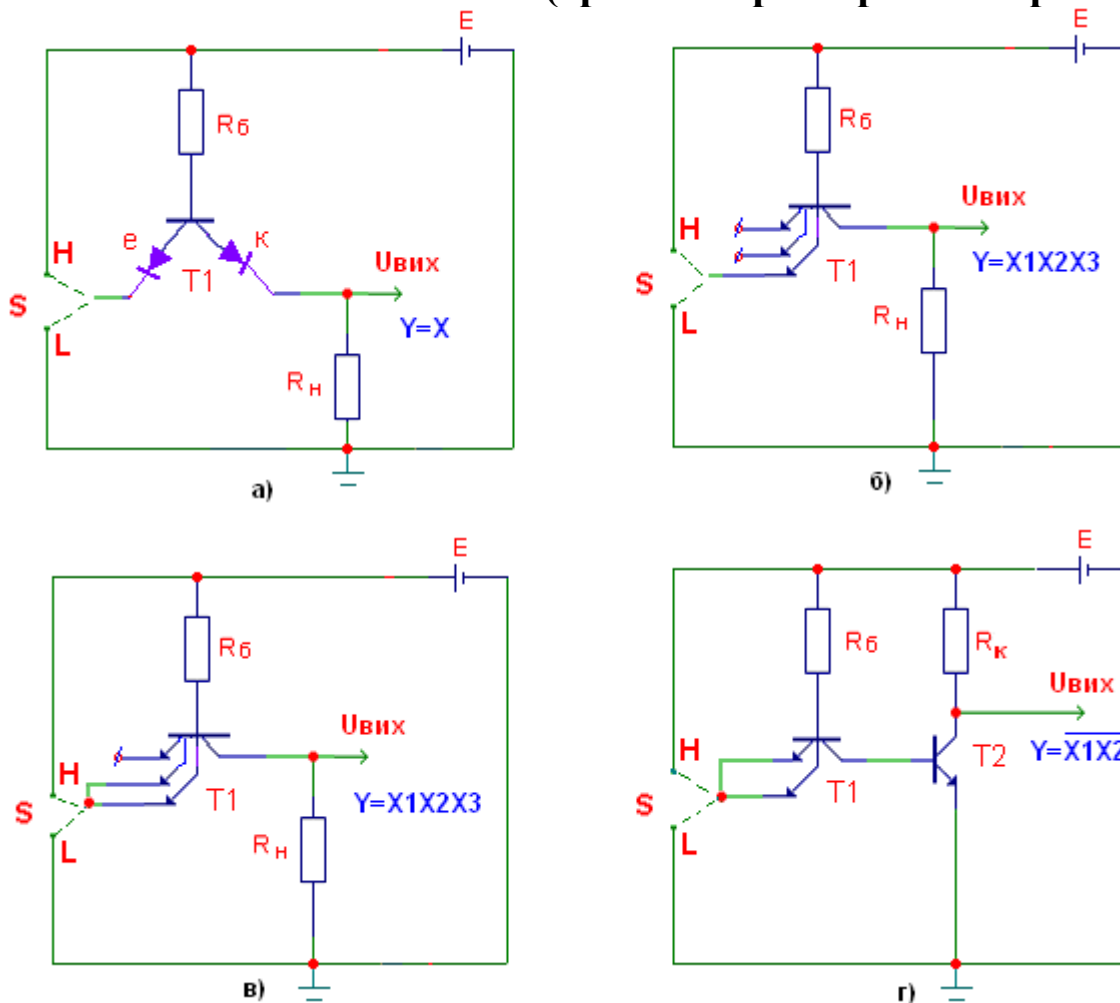


Рис. 29. Приклади ТТЛ-схем

Основний елемент ТТЛ схем – це багатоемітєрний транзистор (БЕТ).

При переході від схем ДТЛ до схем ТТЛ вхідний блок, який реалізує функцію «І» ( $R_1 \rightarrow D_1 \rightarrow D_2$  плюс діоди зміщення), змінюється на БЕТ.

При цьому вхідний транзистор працює як в прямому так і в інверсному режимах, причому вхідний транзистор завжди відкритий, тобто на базу завжди потрапляє струм (через опір  $R_6$ ). Якщо хоча б на одному з емітерів низький рівень, то транзистор працює в прямому режимі, тобто струм потрапляє на базу та проходить через перехід БЕ, так як цей перехід має пряме зміщення (відкритий). Якщо ж на всі емітери подаються високі рівні, то транзистор працює в інверсному режимі, так як переходи БЕ мають зворотне зміщення, а переходи БК – пряме. В

інверсному режимі колектор та емітер як би змінюються місцями, причому коефіцієнт підсилення при інверсному включенні близький до одиниці.

Інтегральні схеми (ІС) ТТЛ розповсюджені як елементна база ЕОМ. Існують наступні різновиди ІС ТТЛ: стандартної або середньої швидкодії (СТТЛ), малопотужні (МпТТЛ), потужні (ПТТЛ). Крім цього близькими за параметрами є схеми з діодами Шоткі (ТТЛШ).

Напруга живлення для схем  $5V \pm 10\%$ . Всі перелічених типи мають спільні вхідні та вихідні рівні.

Принцип роботи опускаємо.

Для зручності розглянемо перемикач логічного елемента (Рис. 29б), до входу підключено перемикач  $S$ , яким можна керувати (двигун, який може займати два положення Н або L).

В положенні Н на вхід надходить високий рівень, який дорівнює  $E$ , в положенні L – низький рівень схемної землі.

Якщо на вхід подати низьку напругу, то з'явиться вхідний струм  $I_{ВХ}^0$ , який буде протікати по колу  $E \rightarrow R_6 \rightarrow BE \rightarrow \text{контакт } L_S \text{-земля}$ . Величина цього струму  $I_{ВХ}^0 \approx I_B \approx \frac{E - U_{BE}}{R_6}$ .

У швидкодіючих та економічних ІС ТТЛ опір резистора  $R_6$  відрізняється на порядок. Перехід БК відкритися не може (при подачі низького рівня), так як на ньому немає надлишкової напруги більш ніж 0,7 В. Напруга на виході дорівнює логічному «0».

Якщо кількість входів, на які подається логічний «0», збільшити, то, як правило, струм, який протікає через  $R_6$ , не змінюється, але при цьому на виходах ми маємо струм менший за  $I_{ВХ}^0$ . Якщо нульовий рівень хоча б на одному вході БЕТ, то значення рівня на інших входах не впливає на вихідний сигнал.

Переведемо двигун перемикача  $S$  в положення Н, тобто подамо на вхід високий рівень (на всі входи). Тоді перехід БЕ БЕТ буде мати зворотне зміщення. Струм через  $R_6$  від джерела потрапляє на перехід БК, потім на  $R_n$  і на землю. На колекторі з'являється напруга високого рівня. При цьому БЕТ має інверсне включення з коефіцієнтом близьким до 1.

Дана схема реалізує логічну функцію «І».

Для отримання інвертуючого елемента, який реалізує функцію «І-НЕ», необхідно до БЕТ  $T_1$  додати ключовий транзистор  $T_2$  (Рис. 29г). При подачі на емітер  $T_1$  високого рівня струм потрапляє через  $T_1$  на базу  $T_2$ ,  $T_2$  переходить в режим насичення і вихідний низький рівень напруги знімається з колектора  $T_2$ , причому  $U_{ВИХ} = U_{КЕН T_2} = L$ . При подачі на вхід низького рівня  $T_1$  має пряме зміщення, на базу  $T_2$  струм не потрапляє і на виході встановлюється високий рівень.

Розглянутий інвертор, виконаний на  $T_2$ , є простим інвертором, як правило така схема використовується в ІС з відкритим колектором (немає навантаження на колекторі).

Недоліком простого інвертора є низька навантажувальна здатність (як в закритому, так і в відкритому стані).

## Складний інвертор

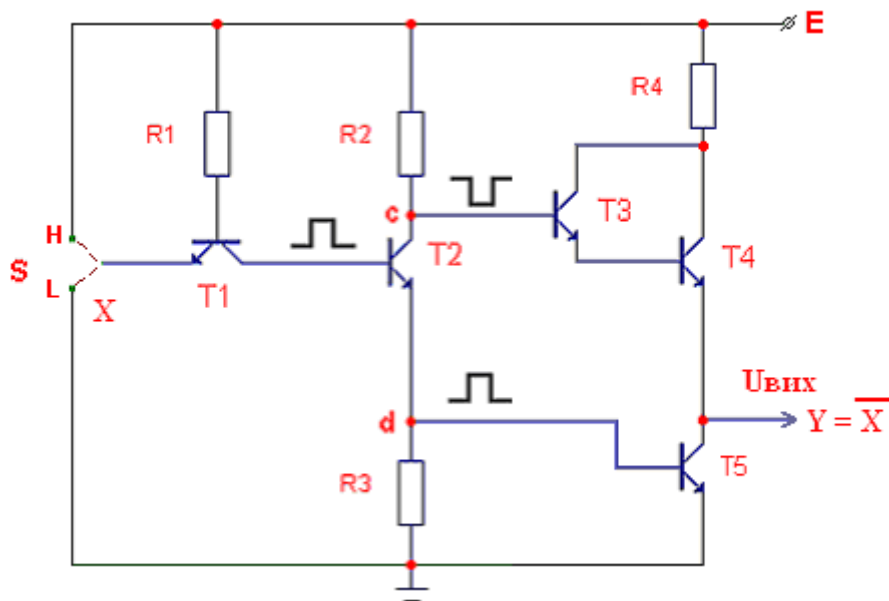


Рис. 30. Схема складного інвертора

Дана схема (Рис. 30) реалізує функцію «І-НЕ» (якщо два входи, то «2І-НЕ») і складається з трьох частин:

- **Вхідного блоку**, побудованого на базі БЕТ  $T_1$  та  $R_1$ , причому  $T_1$  реалізує функцію «І»,  $R_1$  обмежує струм на базі.
- **Розщеплювач фаз** складається з  $R_2$ ,  $T_2$ ,  $R_3$  ( $R_2$  – колекторне навантаження,  $T_2$  – виконує на колекторі функцію інверсії, на емітері функцію повторення вхідного базового сигналу,  $R_3$  є резистором зміщення для  $T_5$ ). У точці **c** сигнал, що надходить на базу  $T_2$ , інвертується, у точці **d** – повторюється зі зсувом на перехід база-емітер:

$$U_d = U_{B T_2} - U_{BE T_2}$$

- **Парафазний підсилювач** або вихідний **підсилювальний каскад** складається з  $R_4$ ,  $T_3$ ,  $T_4$ ,  $T_5$ . Транзистори  $T_3$  і  $T_4$  утворюють складений транзистор – схему Дарлінгтона, яка не змінює логічний зміст сигналу інвертора, але забезпечує значне підсилення струму, який потрапляє на базу  $T_3$ .

Транзистор  $T_4$  не може працювати в режимі насичення, так як у базовому колі стоїть транзистор  $T_3$  і напруга переходу КЕ транзистора  $T_4$  не може бути меншою за напругу на БЕ.

Транзистор  $T_5$  в режимі насичення задає низький вихідний рівень.

Коефіцієнт підсилення струму складеного транзистора:

$$\beta = \beta_{T_3} * \beta_{T_4}.$$

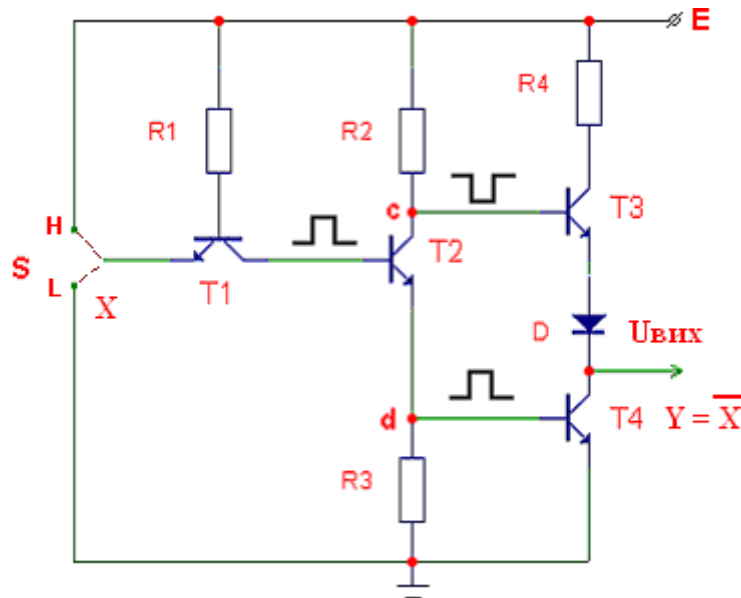


Рис. 31. Модифікована схема складного інвертора (з діодом в парафазному підсилювачі)

Парафазний підсилювач також може складатися з двох транзисторів і діода зміщення (Рис. 31), при цьому вихідний струм логічної «1» буде менший, ніж струм в першому випадку (при складеному транзисторі), але діод зміщення також забезпечує надійне перемикання вихідного каскаду.

**Принцип роботи схеми (Рис. 30):**

1. Якщо на вхід подається низький рівень, S в положенні L, то на вході з'являється струм  $I_{ВХ}^0$ ,  $T_1$  працює у прямому включенні, перехід БК транзистора  $T_1$  закритий і через вхід транзистора струм у схему не потрапляє, відповідно закритий  $T_2$ , а отже і вихідний транзистор  $T_5$ . Струм через  $R_2$  від джерела потрапляє на вхід складного транзистора  $T_{3,4}$ , транзистори  $T_3$  і  $T_4$  відкриті,  $T_3$ , як правило, працює в режимі насичення і на виході встановлюється високий рівень. На вихід поступає підсилений струм  $I_{вих}^1$ , який дозволяє збільшити навантажувальну здатність в порівнянні з простим інвертором, підвищення навантажувальної здатності забезпечується за рахунок потужного повторювача, виконаного у вигляді складного транзистора  $T_3-T_4$  (або тільки за рахунок  $T_3$ ).

$$U_{ВИХ}^1 = E - U_{R4} - U_{КЕ T3} - U_{БЕ T4}$$

2. Якщо на вхід подається високий рівень, то вхідний транзистор  $T_1$  працює в інверсному режимі, перехід БЕ закритий, струм через перехід БК подається на  $T_2$  і через ЕК у точці с встановлюється рівень

$$U_c = U_{КЕн T2} + U_{БЕн T5}$$

якого не достатньо для відкриття складного транзистора (чи транзистора і діода) парафазного підсилювача, але достатньо для переведення в режим насичення  $T_5$ . На виході встановлюється низький рівень, який дорівнює напрузі  $U_{ВИХ}^0 = U_{КЕн T5}$ , опір вихідного каскаду визначається опором КЕ  $T_5$ , на виході ми маємо транзистор з відкритим колектором. Така схема дозволяє збільшити навантажувальну здатність при низькому рівні.

На основі даного інвертора реалізуються базові схеми ТТЛ. Для цього вхідний блок реалізується на базі БЕТ (багатоємітерних транзисторів).

Принцип роботи схеми аналогічний роботі складного інвертора. Для забезпечення високого рівня на виході необхідно подати хоча б один низький рівень на вхід, при цьому  $T_1$  у прямому включенні. При подачі на всі емітери вхідного транзистора «1» на виході встановлюється «0».

## Розширення функціональних можливостей схем ТТЛ (схема з розширенням за входом)

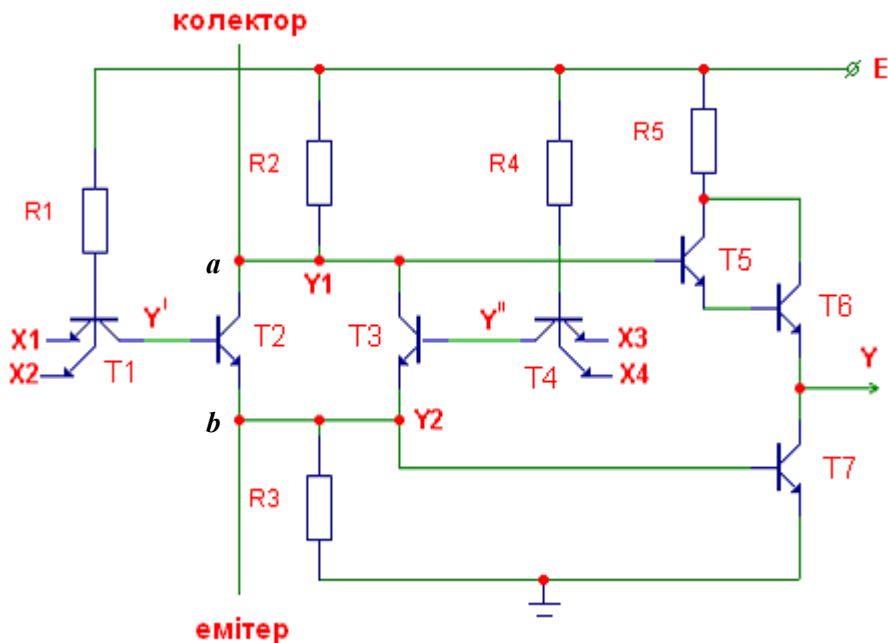


Рис. 32. Схема з розширенням за входом

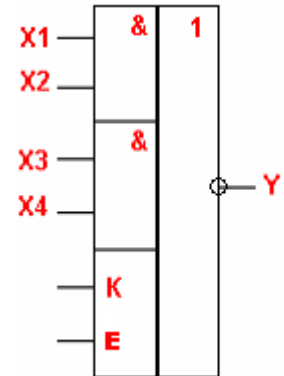


Рис. 33. Схемотехнічне позначення

$$\begin{aligned}
 Y' &= X1 \& X2 \\
 Y'' &= X3 \& X4 \\
 Y1 &= \overline{Y'} \& \overline{Y''} \\
 Y2 &= \overline{Y1} = Y' \vee Y'' \\
 Y &= Y1 = \overline{Y2} = \overline{Y'} \& \overline{Y''} = \overline{X1 \& X2} \& \overline{X3 \& X4} = \overline{X1 \& X2 \vee X3 \& X4}
 \end{aligned}$$

Схема (Рис. 33) реалізує функцію 2-2I-3АБО-НЕ. Інакше позначають 2I-2I-3АБО-НЕ.

Для визначення функції на виході схеми транзистори  $T_2$  і  $T_3$  необхідно розглядати як паралельне з'єднання транзисторів із загальним колекторним та емітерним навантаженням.

Вхідні блоки на  $T_2$  і  $T_3$  реалізують функції «І». В точці  $a$  реалізується функція 2АБО-НЕ відповідно до базових функцій  $T_2$  і  $T_3$ . В точці  $b$  реалізується функція 2АБО.

Вхідний каскад  $T_5T_6$  повторює базову функцію.

$T_7$  вихідного каскаду інвертує базову функцію.

Для розширення функціональних можливостей до входів **колектор** і **емітер** підключається розширювач по функції «І» на різну кількість входів (Рис. 34). З урахуванням розширювача функція схеми змінюється.

### Приклад:

Нехай  $X_1=L$ ,  $X_2=X_3=X_4=N$ .

Тоді  $T_1$  працює в прямому режимі. Вхідний струм  $I_{ex}^0$  подається на  $X_1$ . На базу  $T_2$  струм не подається,  $T_2$  закритий.

Якщо  $X_3=X_4=N$ , то  $T_4$  працює в інверсному режимі, струм через  $R_4$  проходить на  $T_4$  і через перехід база-колектор.  $T_3$  відкритий в режимі насичення, відповідно в точці  $a$  низький рівень, в точці  $b$  високий. Струм через  $T_3$  подається на  $T_7$ ,  $T_5$  і  $T_6$  закриті, на виході низький рівень.

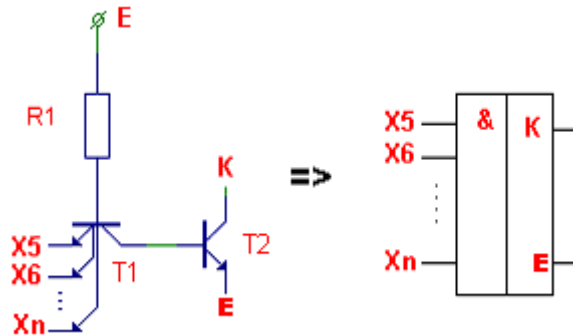


Рис. 34. Розширювач

### Схеми з відкритим колектором

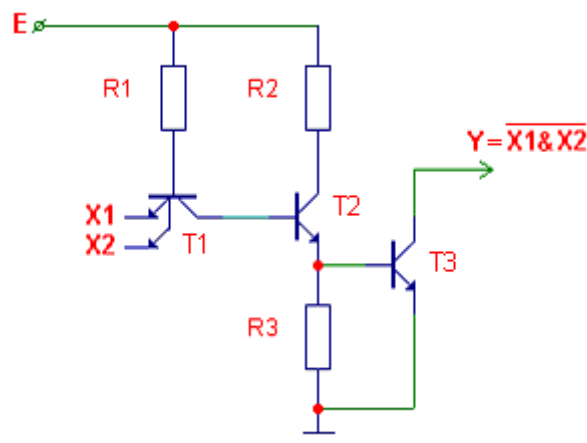


Рис. 35. Схема з відкритим колектором

Особливість схеми: на виході відкритий (без навантаження) колектор. Щоб схема працювала, його треба підключити до джерела живлення.

Схема з відкритим колектором, як правило, використовується в керуючих схемах для керування загальним навантаженням.

Керування навантаженням здійснюється при активному низькому рівні на виході, причому іноді навантаження підключається до джерела з більш високою напругою, ніж напруга живлення ІС. Для забезпечення роботи такої схеми необхідно на вихід підключити навантажувальний елемент.

Схема з відкритим колектором має більш потужний вихід і використовується для підключення зовнішніх навантажень. Як навантаження можуть бути використані лампочки, світлодіоди, реле та інші елементи, причому на деякі навантаження, залежно від типу схем, може подаватися напруга 15 В або 30 В. З'єднання виходів схем дозволяє організувати керування навантаженням декількома сигналами.

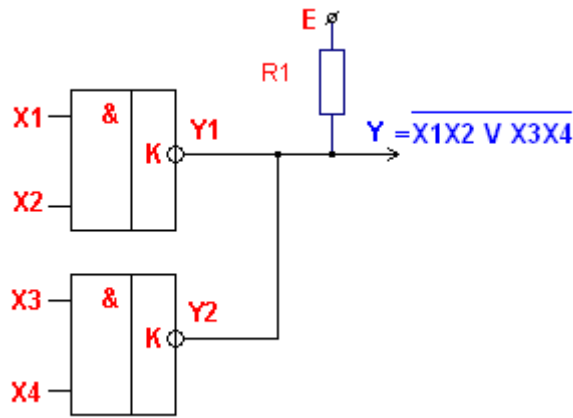


Рис. 36. З'єднання схем (схемотехнічне позначення)

$$Y = Y1 \& Y2 = \overline{X1\&X2} \& \overline{X3\&X4} = \overline{X1\&X2 \vee X3\&X4}$$

Монтажна функція на виході являє собою монтажне «І» для вихідних сигналів, або ж монтажне «АБО» для вхідних сигналів.

### Схема з трьома станами

Схеми використовуються для організації обміну через загальну шину. На виході схеми може бути три стани: стан логічної «1», стан логічного «0» та третій стан – високоімпедансний. Він характеризується тим, що вихідні транзистори в парафазному підсилювачі знаходяться в режимі відсічки. Цей стан забезпечується подачею на вхід EO (Enable Out) високого рівня. В цьому випадку вхідні сигнали X1 та X2 на вихідний рівень не впливають.

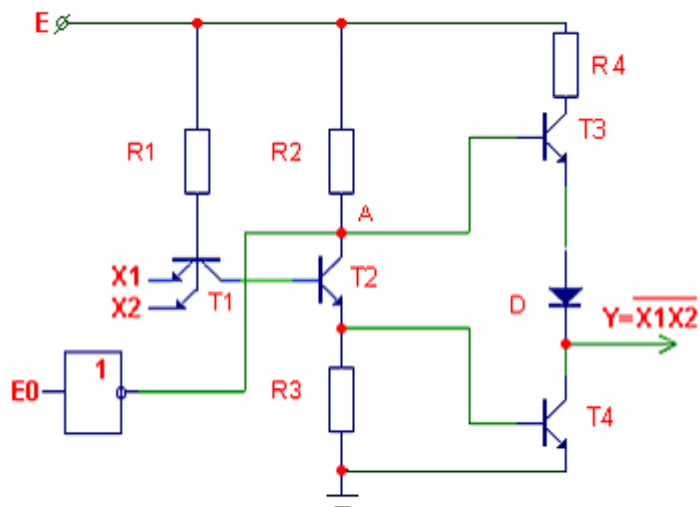


Рис. 37. Схема з трьома станами

Розглянемо принцип роботи схеми (Рис. 37) за умови, коли  $X1=L$ ,  $X2=N$ :

- 1) Якщо  $E0=L$ , то на базу  $T2$  струм не подається, оскільки  $T1$  працює в прямому включенні.  $T2$  закритий, відповідно і  $T4$  закритий також. На базу  $T3$  через  $R2$  подається струм. Відповідно  $T3$  і  $D1$  відкриті, на виході високий рівень.
- 2) Якщо  $E0=N$ , то в точці  $A$  буде низький рівень завдяки вихідному транзистору інвертора. Струм через  $R2$  буде проходити на колектор вихідного транзистора інвертора і  $T3$  буде закритий. Таким чином, транзистори каскаду закриті, на виході буде третій стан.

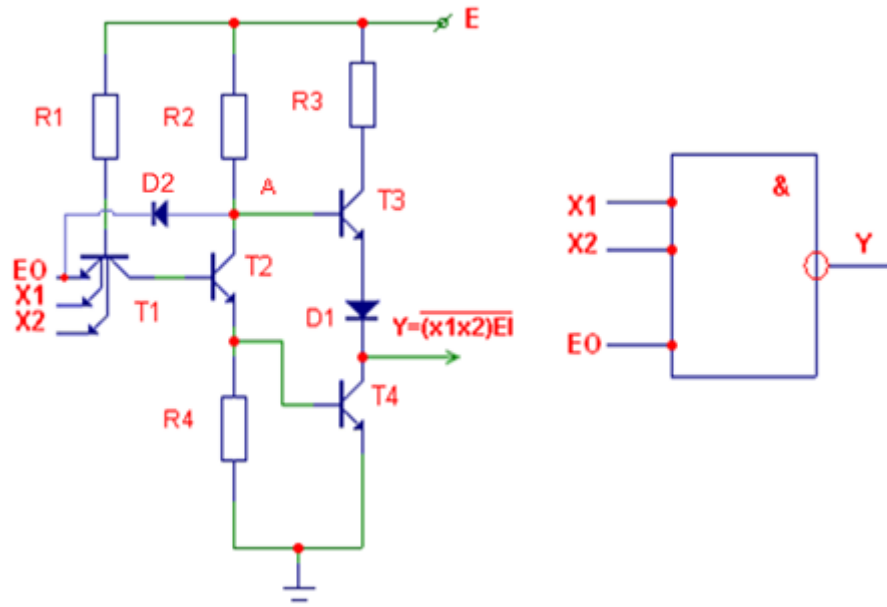


Рис. 38. Схема з трьома станами (інший варіант підключення сигналу  $E0$ )

Розглянемо інший варіант підключення сигналу  $E0$  (Рис. 38).

Дана схема працює аналогічно за умови, коли на вхід  $E0$  подається низький рівень. В цьому випадку  $D2$  відкривається і в точці  $A$  встановлюється низький рівень, який переводить транзистори в режим відсічки.



## Схеми з заборною по входу

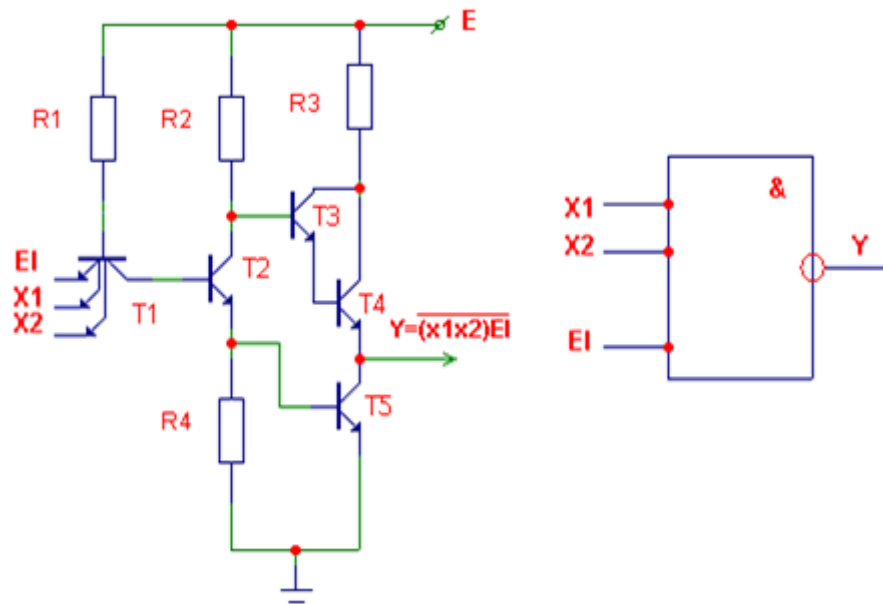


Рис. 39. Схема з заборною по входу

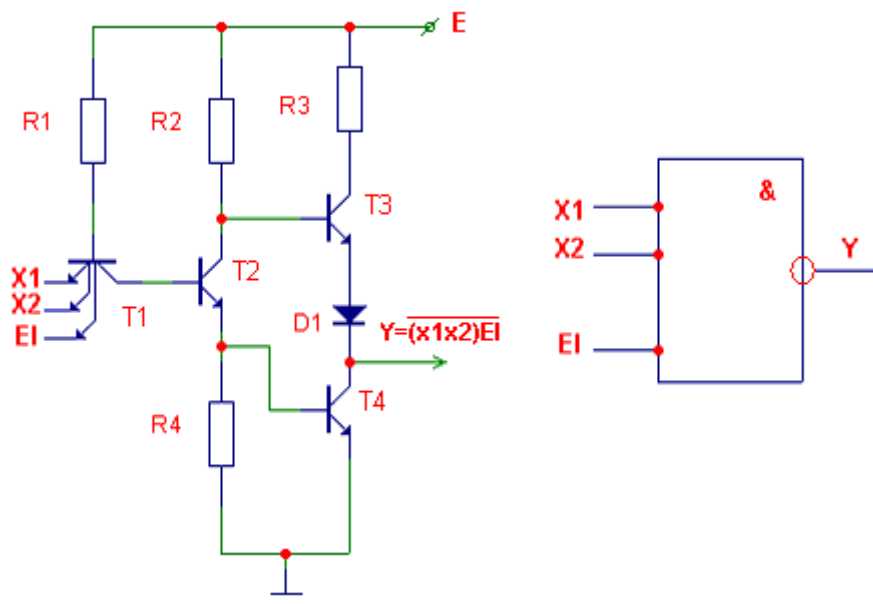


Рис. 40. Схема з заборною по входу (з діодом у парафазному підсилювачі)

Вихідний стан буде незмінним, якщо на вході буде низький рівень. Зміна вихідного рівня відбувається тільки тоді, коли на вхід керування подається високий рівень. Вхідні сигнали проходять лише в тому випадку, якщо на вході EI встановлений високий рівень.

## Перехідні процеси на виході ТТЛ-схем з парафазним підсилювачем

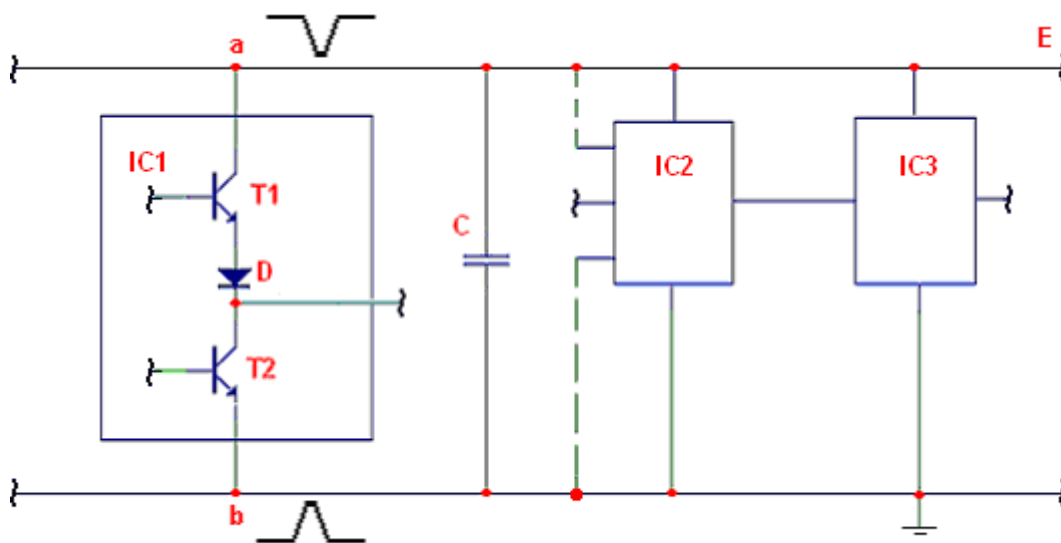


Рис. 41. Набір інтегральних схем (перехідні процеси на виході ТТЛ схем з парафазним підсилювачем)

На вході схем ТТЛ виникає короткий момент часу при зміні стану схеми, коли обидва транзистора вихідного каскаду відкриті. В цей момент часу від лінії живлення до лінії землі проходить імпульс струму, що створює короткий від'ємний імпульс на шині живлення та додатний на шині землі. Довжина такого сигналу – від 5 до 20 нс. Імпульс струму може досягати 100 мА. Якщо наступні схеми мають входи, з'єднані з шинами живлення чи землі (Рис. 41), то може виникнути неправильне спрацювання схеми IC2, яка згенерує повноцінний сигнал для управління схемою IC3, тобто відбудеться несанкціоноване спрацювання схеми. Щоб ліквідувати подібні завади, необхідно збільшити кількість і ширину шин землі та живлення, а також встановити розв'язуючі конденсатори між цими шинами поблизу кожної схеми. Якщо схеми не тригерного типу, то можна встановити один конденсатор на декілька схем. Ємність одного конденсатора становить  $0,05 \div 0,1$  мкФ. Крім того, існують шини, що мають погонну ємність. При використанні таких шин розв'язуючі конденсатори не встановлюються.

## Схема з розширенням по виходу

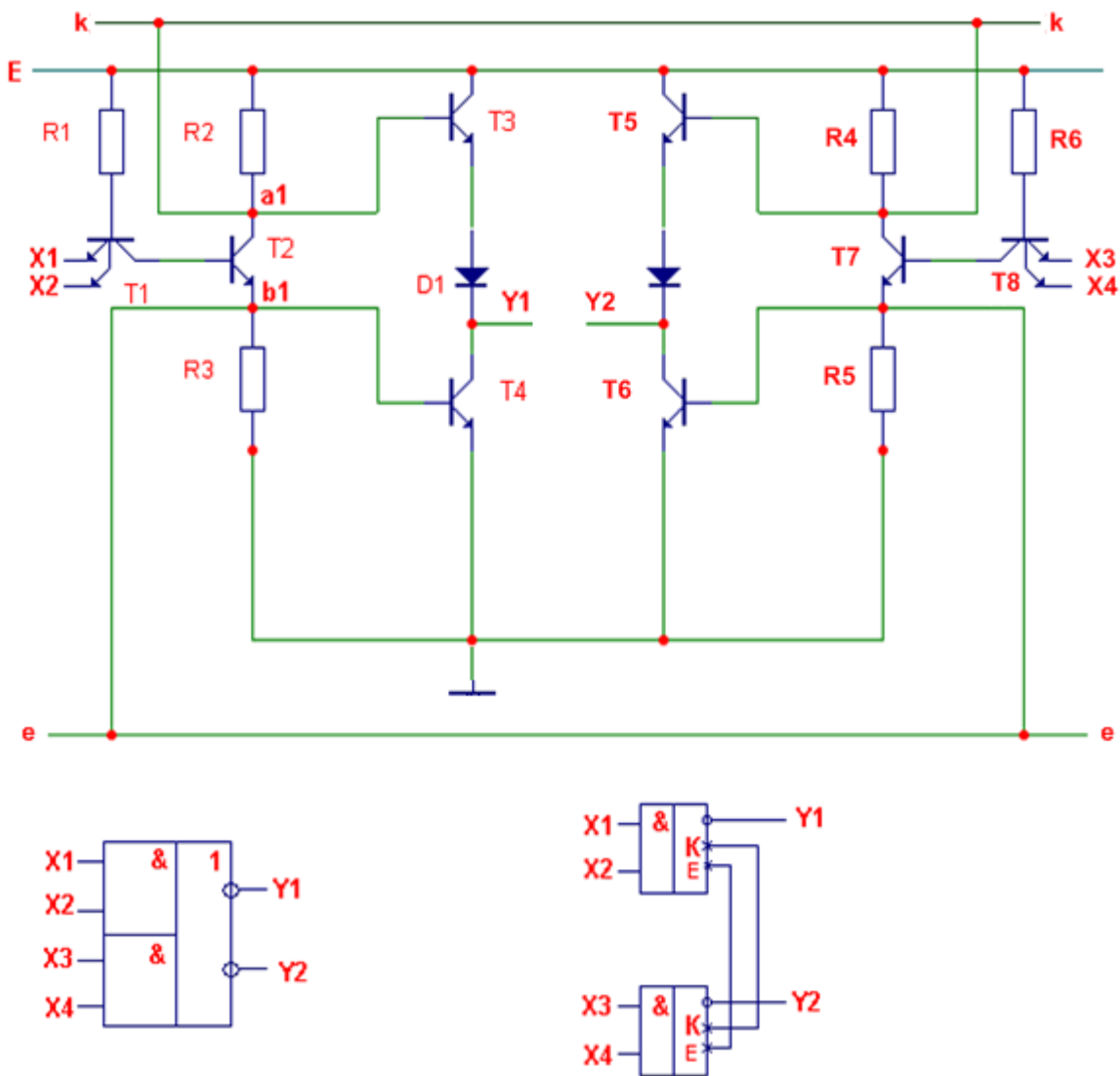


Рис. 42. Схема з розширенням по виходу

Наявність зв'язку між точками **a1** та **a2**, **b1** та **b2** (Рис. 42) забезпечує рівномірний розподіл струму між схемами та рівномірне навантаження на входах. На входах схеми встановлюється низький рівень, якщо на пару входів X1, X2 або X3, X4 подаються сигнали високого рівня.

Розглянемо випадок, коли  $X1 = X2 = H$  (високий рівень). В цьому випадку T1 має інверсне включення, струм через R1 та T1 іде на базу T2, а в точці **b1** підсилений струм транзистора T2 розділяється на два базових струми  $I_{B T4}$  та  $I_{B T6}$ . Цей струм забезпечує перехід в режим насичення T4 та T6. На виходах встановлюється рівень логічного «0». Аналогічно схема працює, якщо на X3 та X4 мають місце високі рівні. Якщо ж на одному з входів X1 або X2 встановлюється низький рівень та хоча б на одному з входів X3 або X4 також низький рівень, то T1 та T8 мають пряме включення; T2, T7, T4, T6 – закриті. В точках **a1** та **a2** високий рівень, T3, T5, D1, D2 відкриті. На виходах встановлюються високі рівні.

## Схеми ТТЛШ (транзисторно-транзисторна логіка з діодами Шоткі)

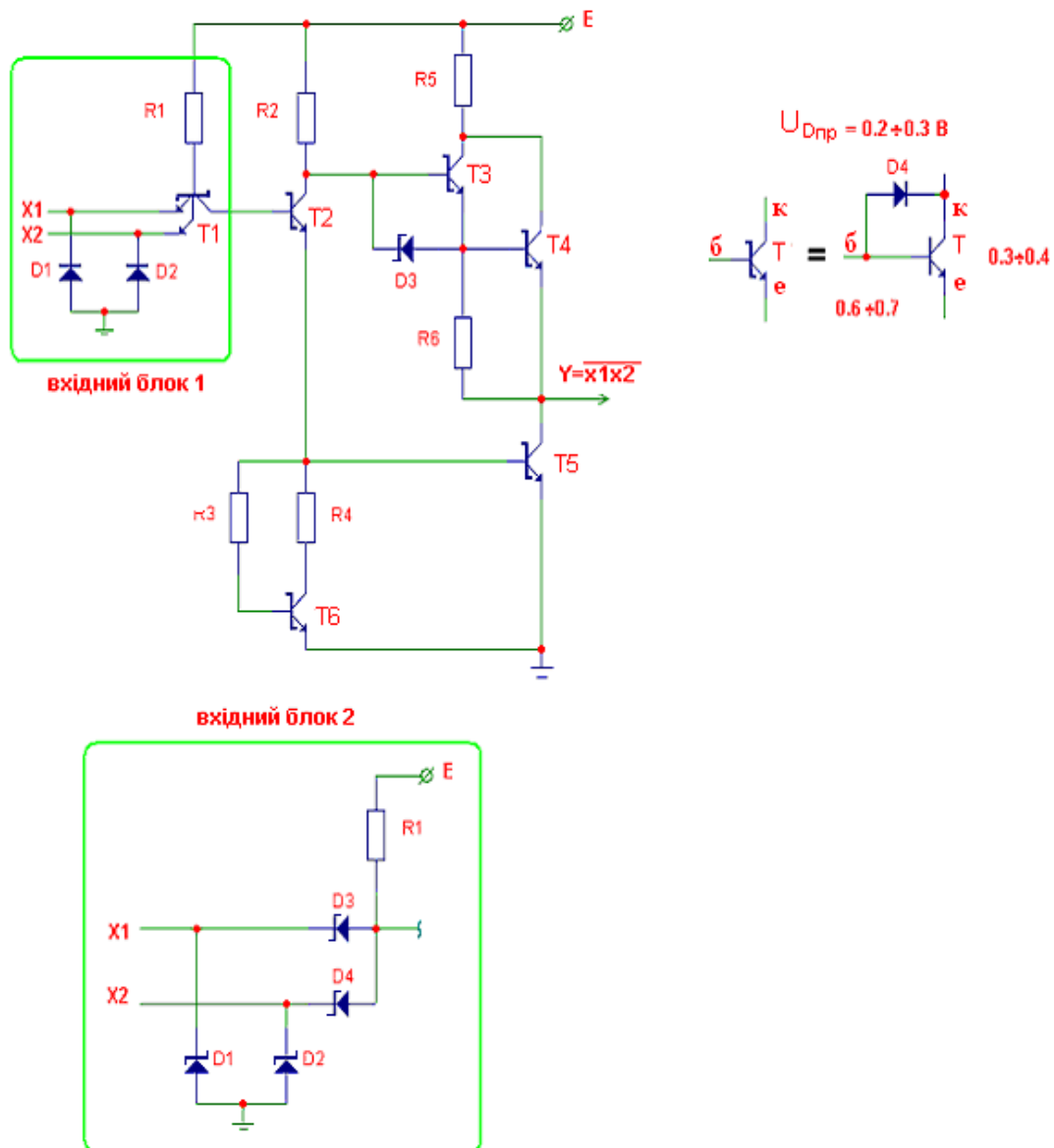


Рис. 43. Схеми ТТЛШ

В діодах Шоткі пряма напруга має рівень не 0,6 Вольт та вище, як в звичайних діодах, а  $0,2 \div 0,3$  Вольт. Призначення цих елементів в даній схемі аналогічне схемі складного інвертора для схем ТТЛ. Діоди D1, D2 використовуються для підвищення завадостійкості на входах схеми (Рис. 43). R3, R4, T6 утворюють джерело струму, яке зменшує час переключення вихідного транзистора T5 та забезпечують вихідний рівень логічного «0». Заміна вхідного транзисторного блока на діодну матрицю (в вхідному блоці 2) дозволяє підвищити швидкість переключення схеми, так як діоди не накопичують збиткові заряди.

## Інтегрально-інжекційна логіка (ІЛ, І<sup>2</sup>Л, 2ІЛ)

Дана технологія виникла після того, як з'ясувалось, що схеми транзисторної логіки з безпосередніми зв'язками (з загальним навантаженням) погано працюють, коли їх входи підключаються до одного виходу. В даному випадку спостерігається явище перехоплення струму. Оскільки напруга переходів база-емітер нелінійна і відповідно визначається вольт-амперними характеристиками паралельно ввімкнених транзисторів, струми, які надходять на бази транзисторів, можуть відрізнятись в десятки разів. Явище нерівномірного розподілу струмів між базами навантажувальних транзисторів Т3, Т4 (Рис. 44) при їх паралельному підключенні називається перехопленням струму. Перехоплення струму приводить до того, що деякі транзистори не переходять в режим насичення і в точках **a** та **b** можуть встановлюватись різні низькі рівні. Для уникнення цього явища був проведений перехід до елементів ІЛ. Перехоплення струму було усунене за рахунок використання багатоколекторного транзистора. В перших елементах управління транзистором відбувалось через резистор R, що обмежував струм, який поступав на базу. Потім резистор замінили на транзистор типу p-n-p Ті (так як він займає менше місця на кристалі), який називається інжектором. Інжектор завжди відкритий. Дана схема є базовою для елементів ІЛ. Особливістю даного елемента є те, що інжектор та навантажувальний транзистор мають спільні області. Таке включення елементів дозволяє знизити значення джерела живлення до 1,5 В. Вихідний рівень логічного «0» визначається напругою КЕ насиченого ключового транзистора Тк. Вихідний високий рівень визначається напругою БЕ ключового транзистора наступної схеми.

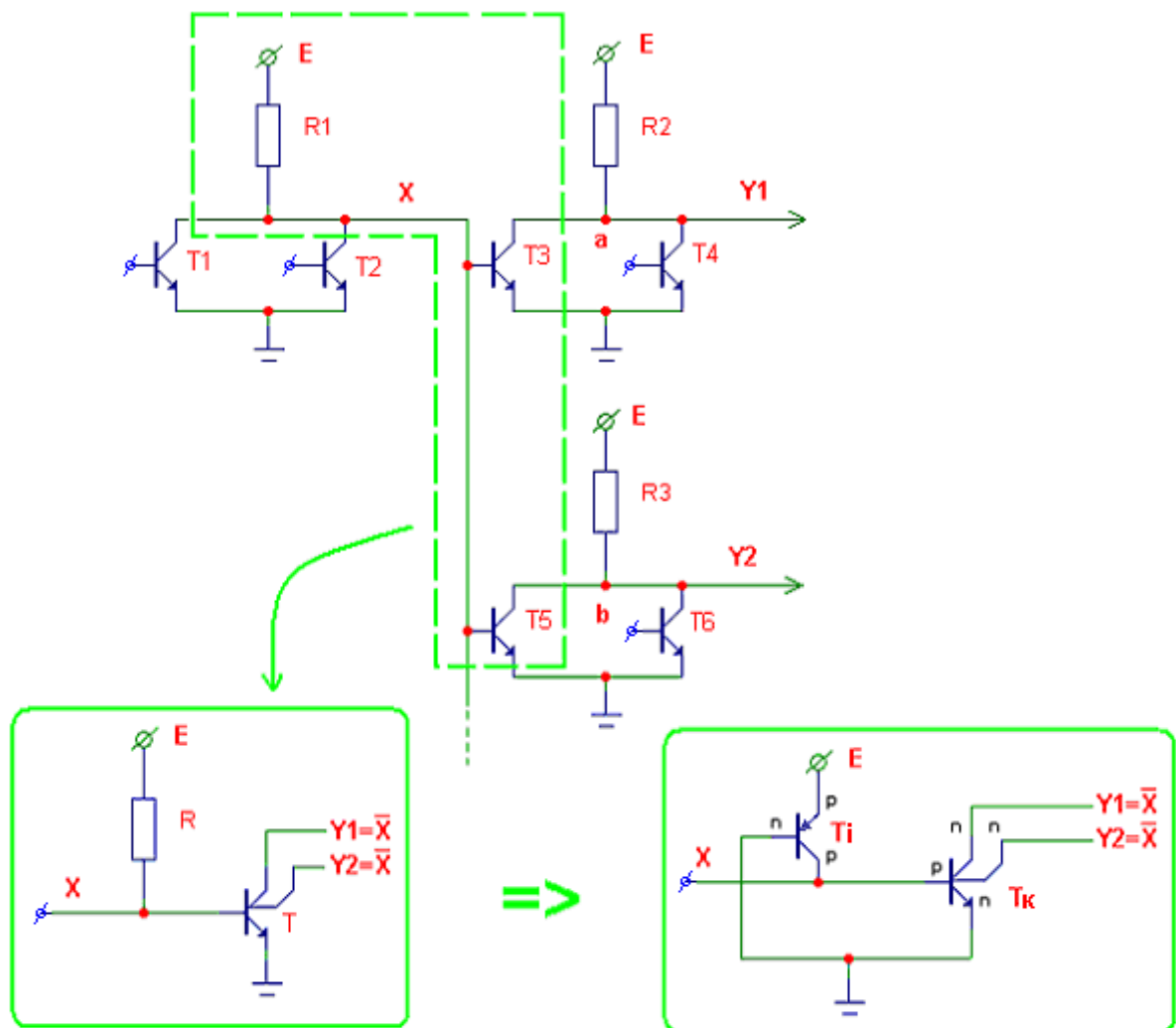
$$E = U_{KE\ T_i} + U_{BE\ T_k}$$

### *Принцип роботи схеми:*

Якщо на вході базового елемента високий рівень, то струм подається через інжектор на базу ключового транзистора, ключовий транзистор переходить в режим насичення.

Якщо на вході низький рівень, то струм, який постійно проходить через ЕК Ті, поступає на вхід Х і є струмом  $I_{ВХ}^0$ . Якщо на вході високий рівень (Тк попередньої схеми закритий), то струм поступає на базу Тк. Тк відкривається, і на вході встановлюється низький логічний рівень.

Базовий елемент на виході має відкриті колектори.



Отримали

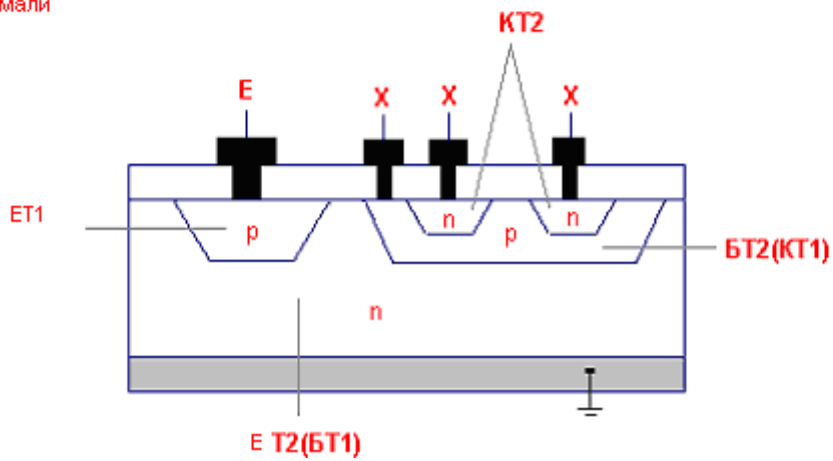


Рис. 44. Інтегрально-інжекційна логіка (базові схеми, порівняння з ТТЛ, внутрішня структура)

## Різновидність схем І<sup>2</sup>Л

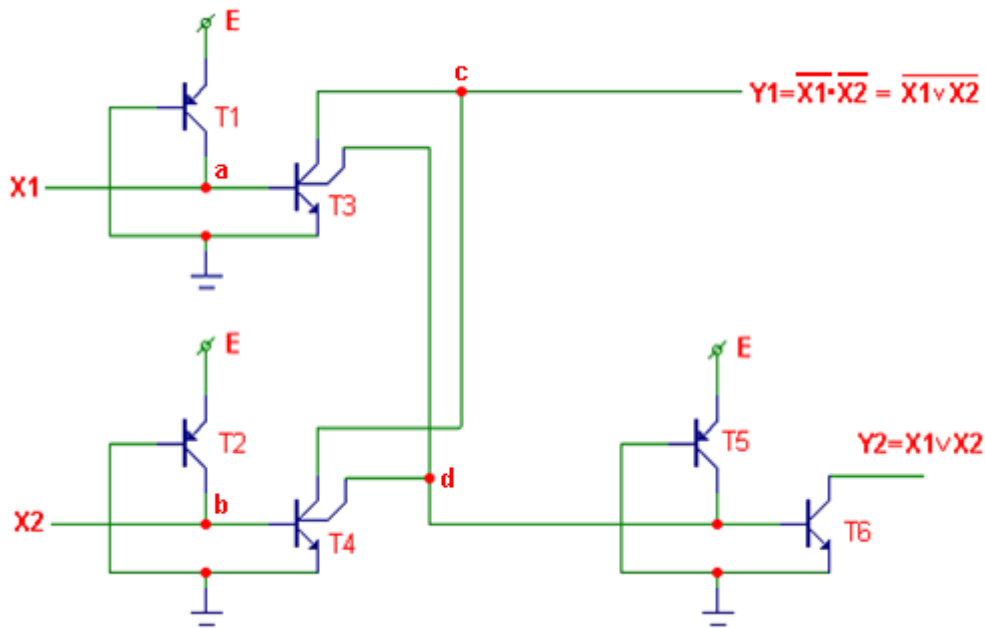


Рис. 45. ІЛ, схема 2АБО/2АБО-НЕ

### Принцип роботи схеми (Рис. 45):

$Y1 = H$ , коли Т3 і Т4 – закриті, тобто на базах відсутній струм. Для цього на входах  $X1$  і  $X2$  мають бути низькі рівні, що відповідає функції  $\overline{X1 \cdot X2}$ .

На виході  $Y2$  відбувається інверсія  $Y1$ , оскільки базовий елемент виконує функцію інверсії.

### Робота схеми за умови $X1 = H$ , $X2 = L$ :

Всі інжектори (Т1, Т2, Т5) за умови наявності живлення відкриті, через них подається струм. Через Т1 струм надходить в точку **a** і, за умови  $X1=H$ , подається на базу Т3, Т3 переходить в режим насичення. Відповідно в точці **c** маємо низький рівень, який визначається напругою  $U_{KE}$  насиченого транзистора Т3. Через Т2 струм подається в точку **b** і, з урахуванням того, що  $X2=L$ , подається на вхід Т4, Т4 закритий. Через транзистор Т5 струм надходить в точку **d**, в точці **d** маємо низький рівень і струм подається на колектор відкритого транзистора Т3, транзистор Т6 закритий.  $Y2=H$ ,  $Y1=L$ .

Високий і низький рівень на виході забезпечується наступною схемою. Якщо схеми немає, то на виході мають бути навантажувальні резистори, під'єднані до джерела струму.

$$U_{KE} = 0,1 \text{ В}$$

$$U_{BE} = 0,7 \text{ В}$$

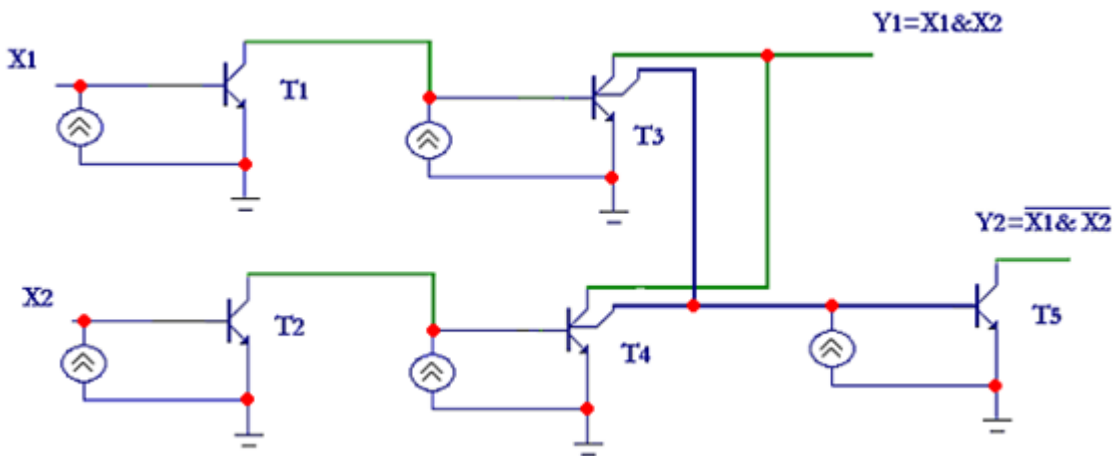


Рис. 46. ШЛ, схема 2I/2I-HE

### Схема з багатокolleкторним інжектором

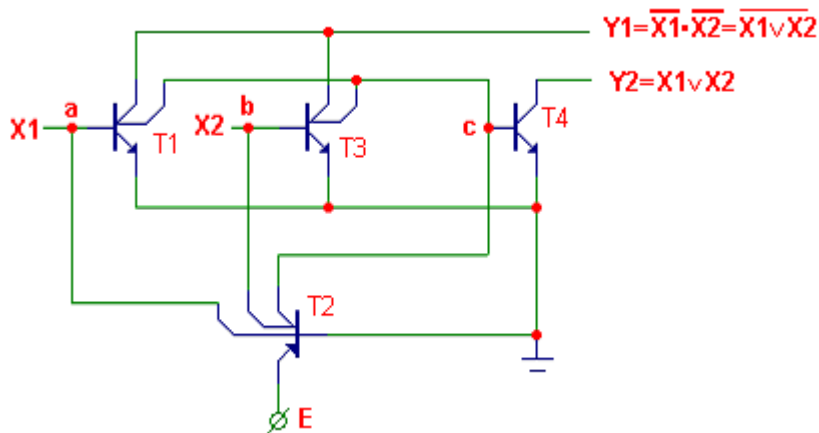


Рис. 47. Приклад схеми з багатокolleкторними інжекторами

Схеми ШЛ можуть з'єднуватись зі схемами ТТЛ, але для цього необхідно підключати додаткові навантаження. Обов'язково необхідно пам'ятати, що в схемах відкритий колектор.

В інтегральних схемах дуже часто використовується багатокolleкторний інжектор. Принцип роботи даної схеми аналогічний принципу роботи попередньої схеми, що реалізує функцію 2АБО/2АБО-НЕ з окремими інжекторами.

Через інжектор T2 постійно проходить струм (Рис. 47). В точках **a**, **b** та **c** його напрям визначається вхідними рівнями X1 та X2 (для точок **a** та **b**) та станом T1 і T3 для точки **c**. Якщо хоча б один з цих транзисторів відкритий, то в точці **c** низький рівень, що дорівнює  $U_{KE T1(T3)}$ . При цьому T4 закритий, а на Y2 встановлюється високий рівень, який буде дорівнювати напрузі переходу БЕ наступного каскаду.



## Емітерно-з'єднана логіка

Елементи ЕЗЛ будуються на базі перемикачів струму і є найбільш швидкодіючими.

Для того, щоб елемент мав високу швидкодію, необхідно, щоб:

- 1) транзистори працювали в активному режимі і не заходили в насичення;
- 2) логічний розмах між сигналами був мінімальний;
- 3) керуючі струми забезпечували мінімальний час перемикання елементів.

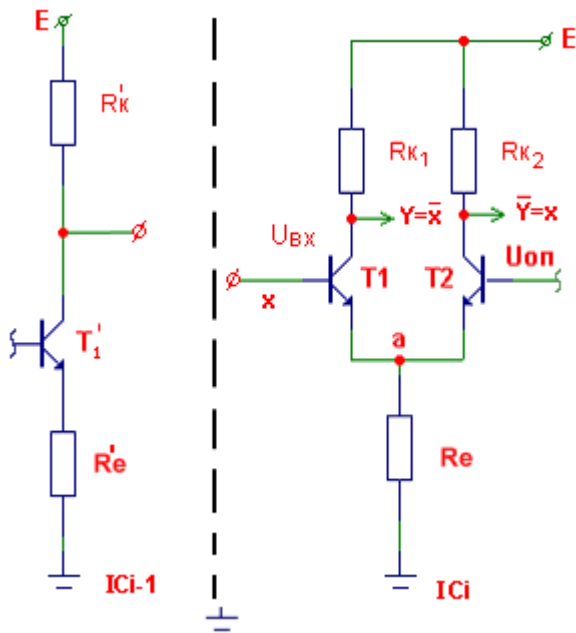


Рис. 48. Перемикач струму

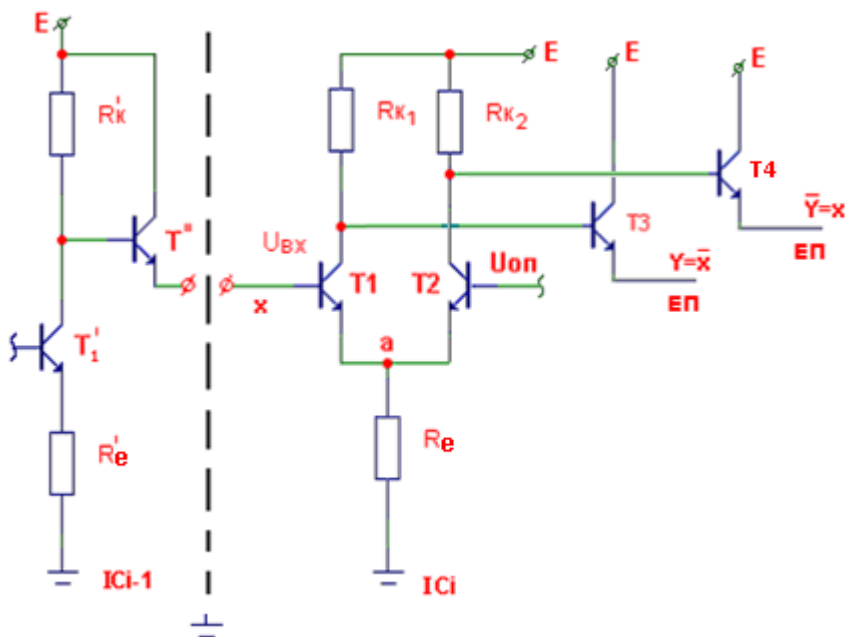


Рис. 49. Перемикач струму з емітерними повторювачами на виходах

Перемикач струму (Рис. 48) має три режими роботи:

1)  $T_1$  закритий,  $T_2$  відкритий.

$$\left. \begin{aligned} U_a &= U_{OP} - U_{BE T2} \\ U_{BX} &= U_a + U_{BE T1} \\ U_{вх} &< U_{on} \\ U_Y &= H \approx E \\ U_{\bar{Y}} &= L = U_{OP} - U_{BE T2} + U_{KE T2} \end{aligned} \right\} U_{BE T2} > U_{BE T1}$$

2)  $T_1$  і  $T_2$  – відкриті.

$$\begin{aligned} U_{BX} &= U_{OP} \\ U_Y = U_{\bar{Y}} &= E - U_{R_{ki}} = E - \frac{I_{Rc}}{2} R_{Ki} \end{aligned}$$

3)  $T_1$  відкритий,  $T_2$  закритий.

$$\begin{aligned} U_a &= U_{BX}^1 - U_{BE T1} = E - U_{R'_K} - U_{BE T1} \\ U_a &= E - U_{R_{K1}} - U_{KE T1} \\ I_{R'_K} &\ll I_{R_{K1}} \\ U_{R'_K} &\ll U_{R_{K1}} \\ U_{BE T1} &> U_{KE T1} \quad (\text{транзистор заходить в режим насичення}) \end{aligned}$$

Для виконання зазначених вище умов до виходів  $Y$  та  $\bar{Y}$  підключаються емітерні повторювачі (Рис. 49), які забезпечують зсув вихідних напруг. Емітерні повторювачі (ЕП) весь час будуть відкриті.

$$\begin{aligned} U_{ВИХ}^1 &= E - U_{R_{K1}} - U_{BE EP} \approx E - U_{BE EP} \\ U_{ВИХ}^0 &= U_{BX}^1 - U_{BE T1} + U_{KE T1} - U_{BE EP} = E - U_{R'_K} - U_{BE T''} - U_{BE T1} + U_{KE T1} - U_{BE EP} \\ U_{BE T1} &\approx U_{KE T1} \quad (\text{теоретична границя насичення}) \\ U_{ВИХ}^0 &= E - U_{R'_K} - U_{BE T''} - U_{BE EP} \approx E - U_{BE T''} - U_{BE EP} = E - 2U_{BE EP} \end{aligned}$$

В такому випадку

$$U_{OP} = \frac{U_{ВИХ}^1 + U_{ВИХ}^0}{2} = E - 1,5U_{BE EP}$$

## Базова схема ЕЗЛ (однорівнева)

Схема складається з трьох частин:

- 1) перемикач струму (R1, R2, R3, R4, R5, T1, T2, T3);
- 2) джерело опорної напруги (T4, R6, R7, R8, D1, D2);
- 3) емітерні повторювачі (T5, T6).

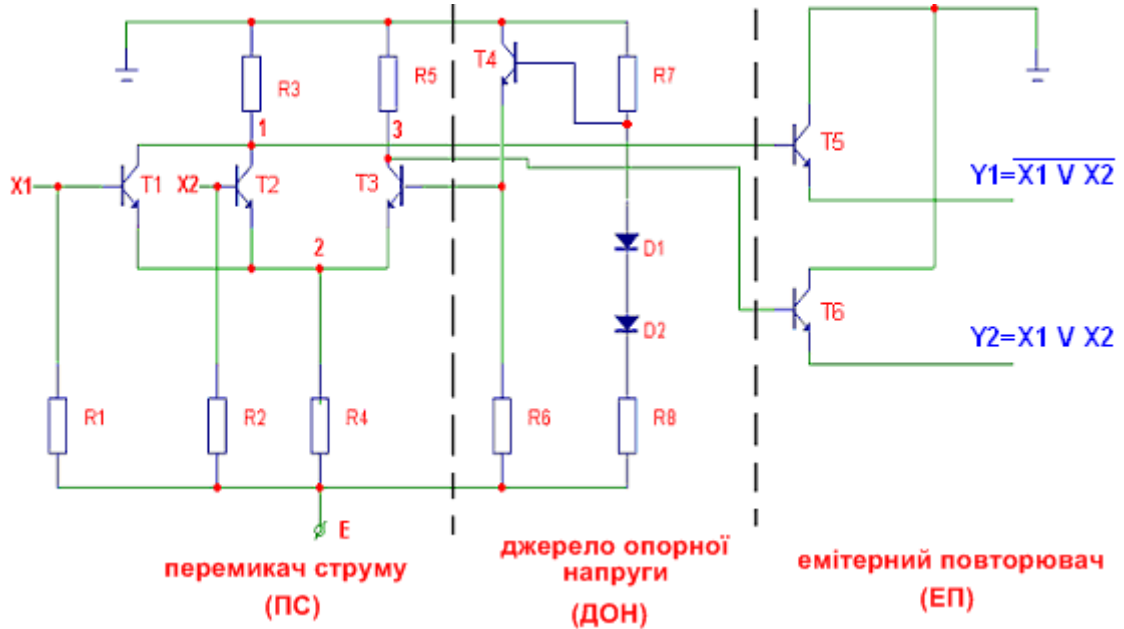


Рис. 50. Однорівнева схема ЕЗЛ

Емітерні повторювачі на виході схем забезпечують узгодження рівнів між схемами за рахунок зміщення вихідного сигналу на величину напруги переходу  $U_{BE\ EP}$  вихідних емітерних повторювачів T5, T6 (Рис. 50). Це призводить до того, що транзистори в схемі перемикача струму не заходять в режим насичення. Крім того, зменшується різниця між логічними рівнями «0» та «1». Так як вихідний сигнал знімається з відкритого емітера, то керуючі струми в цих схемах забезпечують швидке перемикання.

$$Y_1 = \overline{X1 \& X2} = \overline{X1 \vee X2} \quad U^1 = -0,9 \text{ В} \quad U_{OP} = (U^0 + U^1) / 2 = -1,3 \text{ В}$$

$$Y_2 = X1 \vee X2 \quad U^0 = -1,7 \text{ В}$$

Живлення  $E = -5,2 \text{ В}$ , завдяки чому досягається більша завадостійкість.

В джерелі опорної напруги резистори R7 та R8 утворюють дільник напруги, діоди D1 та D2 представляють собою ланцюг температурної компенсації. T4 – емітерний повторювач, який забезпечує подачу підсиленого керуючого струму на базу T3. Резистори R1 та R2 призначені для надійного закриття транзисторів T1 та T2. EP T5 та T6 в даній схемі постійно відкриті. Резистори R3 та R5 обираються з урахуванням забезпечення необхідного струму для вихідних транзисторів T5 та T6.

Якщо транзистори T1 та T2 закриті, то на виході Y1 встановлюється високий рівень, який визначається  $U_{R3}$  та  $U_{BE\ T5}$ . На R3 в даній схемі подається напруга 0,1 В.  $U_{BE\ T5}$  та  $U_{BE\ T6}$  складають 0,8 В. Тому  $U^1_{\text{ВИХ}} = -0,9 \text{ В}$ ,  $U^0_{\text{ВИХ}} = -1,7 \text{ В}$ .

Якщо транзистор T1 або T2 відкритий, то струм, що проходить через R3, визначає падіння напруги на R3, що дорівнює 0,9 В. Відповідно, вихідний рівень «0» буде складатися з падання напруги 0,9 В на R3 та напруги  $U_{BE\text{ ЕП}}$ .

Робота базового елемента: збільшення числа входів ПС досягається підключенням додаткових вхідних транзисторів паралельно T2 до точок **1** та **2**. ПС призначений для отримання першого ступеня логічних функцій, для підсилення потужності вхідних сигналів та для формування парафазних (прямого та інверсного) вихідних сигналів (в т.1 – прямий, в т.3 – інверсний). Вихідні ЕП, реалізовані на T5 та T6, слугують для формування другого ступеня логіки (вона формується за рахунок підключення відкритих елементів до загального навантаження, при цьому виходить монтажна функція «І»). Крім цього ЕП підсилюють вихідні сигнали за потужністю, зсувають рівні перемикача струму (в т.1 та т.3) і забезпечують тим самим сумісність елементів ЕЗЛ по входу та по виходу.

ДОН призначене для забезпечення опорного навантаження, відносно якого відбувається переключення ПС.

Якщо  $U_{ВХ} = U_{ВХ}^1 > U_{ОП}$ , то відповідний ключовий транзистор (КТ) відкривається.

Нехай  $U_{BE\text{ КТ}} = 0,75\text{ В}$ , тоді напруга в точці **2** дорівнює

$$U_{Т,2} = U_{ВХ}^1 - U_{BE\text{ КТ}} = -0,9 - 0,75 = -1,65\text{ В}.$$

Якщо напруга на базі T3 дорівнює  $U_{ОП} = -1,3\text{ В}$ , то  $U_{BE\text{ T3}} = U_{ОП} - U_{Т,2} = -1,3 - (-1,65) = 0,35\text{ В}$ . За такої умови кремнієвий транзистор закритий. В точці **1** маємо низький рівень, в точці **2** – високий.

Функція елемента: 2АБО/2АБО-НЕ.

## Переваги схем ЕЗЛ

Використання ПС в якості основи для даної технології, а також ЕП, забезпечує:

- 1) найвищу швидкодію серед напівпровідникових схем, побудованих на кремнієвій основі;
- 2) розширення логічних можливостей за рахунок двох виходів та можливість організації монтажних функцій;
- 3) постійність струму, що поглинається від джерела, та відсутність стрибків струму при перемиканні схеми;
- 4) змінну навантажувальну здатність (за рахунок ЕП) та можливість роботи з довгими лініями;
- 5) стабільність динамічних параметрів в заданому температурному діапазоні завдяки використанню термокомпенсуючих діодів D1, D2;
- 6) постійну потужність споживання.

**Примітка:** в даних схемах обов'язково окремо відводиться земля для ЕП, що забезпечує можливість роботи з різною кількістю навантажень.

## Дворівнева схема ЕЗЛ

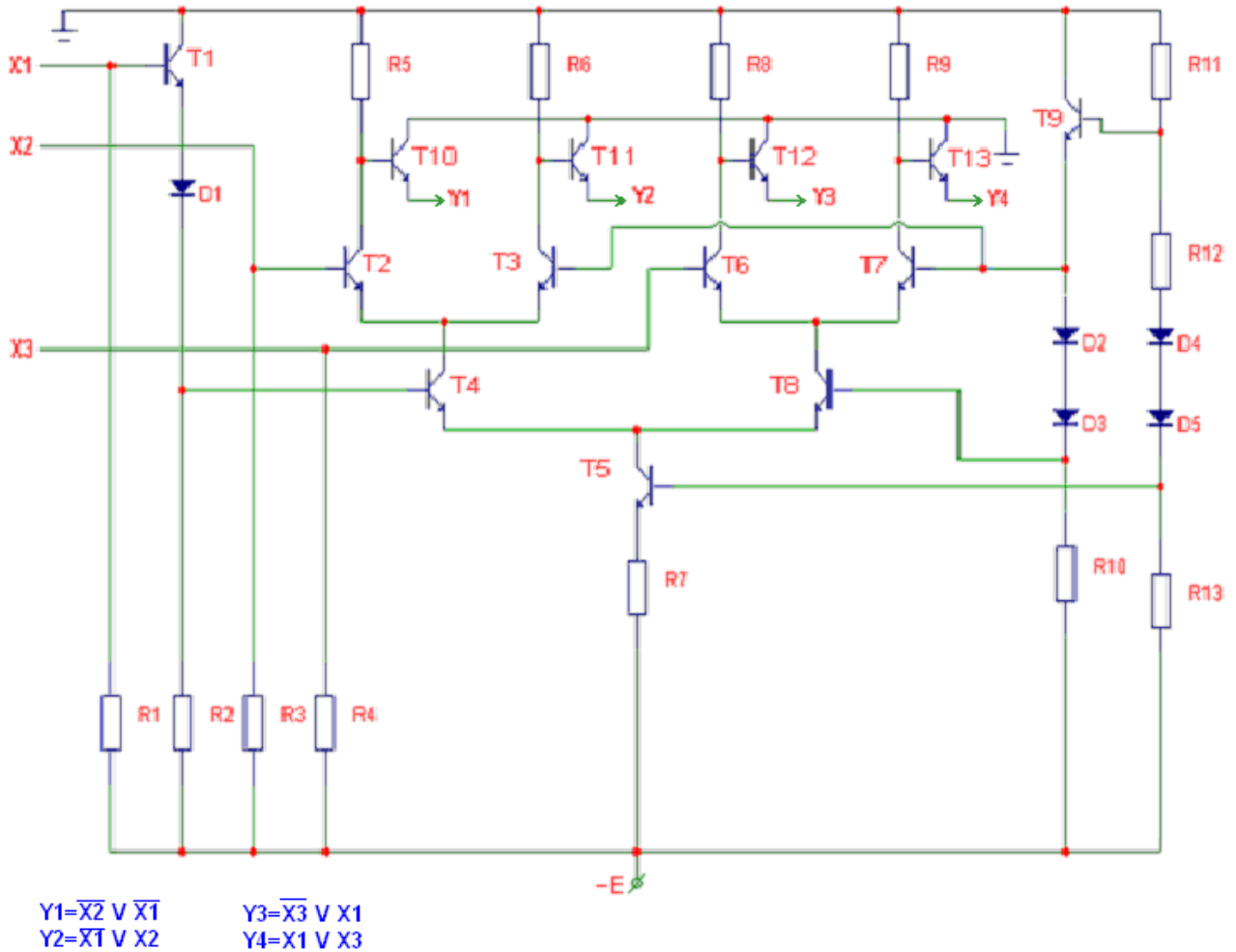


Рис. 51. Дворівнева схема ЕЗЛ

Схема дворівнева (Рис. 51), складається з 3 перемикачів струму:

- 1) T2, T3, R5, R6;
- 2) T6, T7, R8, R9;
- 3) T4, T8.

**Призначення елементів:**

Емітерні повторювачі: T10, T11, T12, T13.

Джерело опорної напруги: T9, D2, D3, D4, D5, R10, R11, R12, R13.

R1, R2, R3, R4 підсилюють надійні входні струми.

T1 і D1 формують сигнал для другого рівня перемикача струму, відповідно забезпечують зміщення сигналу X1.

D2÷D5 – термокомпенсуючі діоди, а T9 забезпечує підсилення струму в джерелі опорної напруги.

T5 забезпечує постійний струм через підсилення струму.

Транзистори T5, T9 завжди відкриті, відповідно відкриті й T10÷T13.

Транзистори T3, T7 мають однакову опорну напругу.

T1 – ключовий транзистор.

**Робота схеми:**

Якщо  $Y1 = H$ , то  $U_{B T10} = H \rightarrow U_{B T2} = L \rightarrow X2 = L$ .

## Технологія E<sup>2</sup>ЗЛ

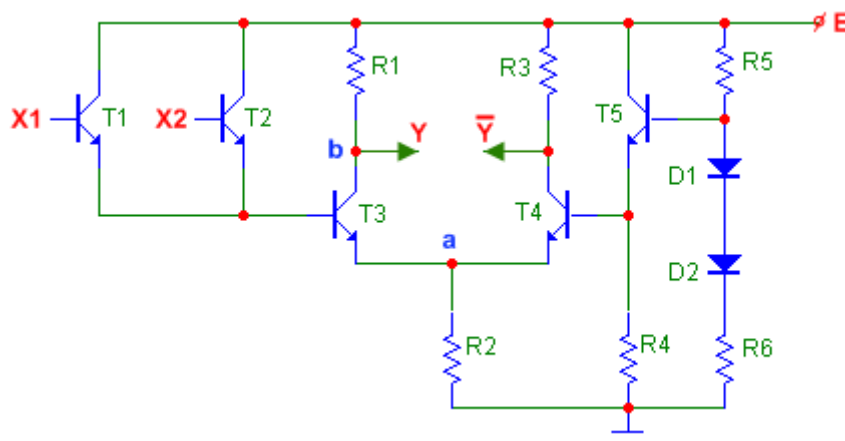


Рис. 52. Схема E<sup>2</sup>ЗЛ

Функції на виходах схеми (Рис. 52):

$$Y = \overline{X1 \& X2} = \overline{X1} \vee \overline{X2}$$

$$\overline{Y} = X1 \vee X2$$

Якщо  $U_{BX} = U^1_{BX}$ , то

$$U_{BT3} = E - U_{BE\text{EP}}$$

$$U_a = E - U_{BE\text{EP}} - U_{BE\text{T3}}$$

$$U_b = U_a + U_{KE\text{T3}}$$

В даній технології транзистори перемикача струму не повинні заходити в режим насичення. Вони працюють близько границі насичення:

$$U_{KE\text{T3}} = U_{BE\text{T3}}$$

$$U^0_{\text{ВИХ}} \approx U_{BE\text{EP}}$$

$$U_{\text{ОП}} = \frac{U_{BT3}^{BX=1} + U_{BT3}^{BX=0}}{2} = \frac{(E - U_{BE\text{EP}}) + (E - 2U_{BE})}{2} = E - 1,5U_{BE}$$

Відмінність від однорівневої схеми EЗЛ полягає в тому, що емітерні повторювачі стоять на вході, крім того, напруга опори розраховується відносно значення напруги на базі T3.

Якщо  $U_{BT3} > U_{\text{ОП}}$ , то відповідно відкривається транзистор T3, а T4 закривається.

Якщо  $U_{BT3} < U_{\text{ОП}}$  ( $U_{BT3} < U_{BT4}$ ), то T3 закритий, а T4 відкритий.

## Уніполярні транзистори

Біполярні транзистори керуються струмом, уніполярні – напругою.

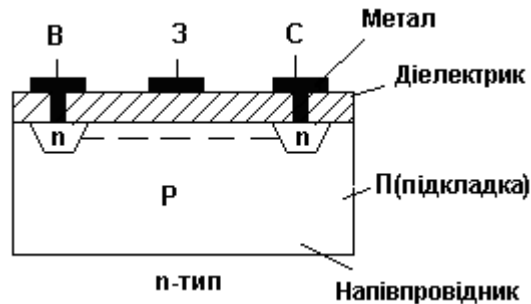


Рис. 53. Уніполярний транзистор у розтині

Польові (уніполярні) транзистори з ізольованим затвором поділяються на транзистори з вбудованим і транзистори з індукованим каналом (Рис. 54). В цьому курсі переважно будуть розглядатись транзистори з індукованим каналом.

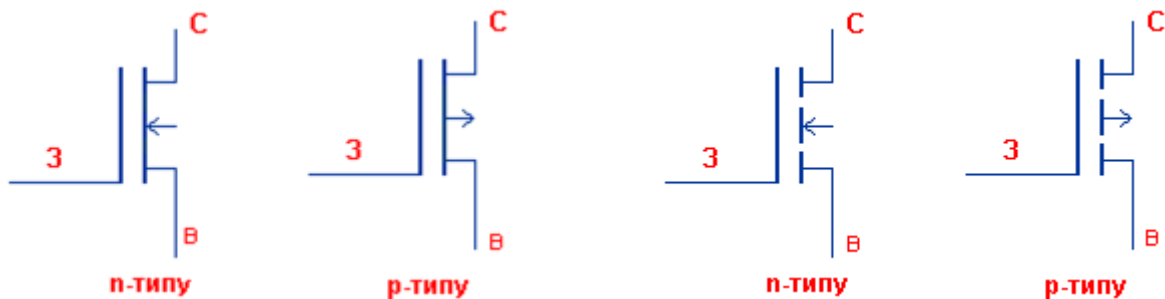


Рис 54. Польові транзистори з вбудованими та індукованими каналами

Транзистори мають три зовнішні електроди:

- 1) витік (В) – електрод, від якого починають рух носії заряду;
- 2) стік (С) – електрод, до якого рухаються заряди;
- 3) затвор (З) – електрод, до якого приєднується джерело керуючої напруги.

Металевий затвор ізолюваний від каналу діелектриком (Рис. 53).

Польові транзистори мають високий вхідний опір, на відміну від біполярних. Це зумовлено тим, що при подачі на затвор керуючої напруги струм через затвор не проходить.

Загальна назва транзисторів – метал-діелектрик-напівпровідник (МДН). Якщо в якості діелектрика використовується оксид кремнію, то транзистори мають назву МОН.

В обчислювальній техніці використовуються транзистори як n-типу, так і p-типу

Для транзистора n-типу області стоку і витоку виготовлені з сильнолігovanого напівпровідника n-типу; підкладка виготовлена з напівпровідника p-типу.

В напівпровіднику p-типу завжди присутня невелика кількість електронів, концентрація яких обумовлює власну провідність напівпровідника, і, якщо на затворі відносно провідника буде додатна напруга, то електрони будуть притягатись до діелектрика і біля напівпровідника p-типу утвориться тонкий шар, який і утворює індукований канал.

В транзисторах з індукованим каналом в початковому стані при  $U_{ЗВ} = 0$  між стоком та витоком нема каналу і струм не проходить. При подачі на затвор додатної напруги (для n-типу) між

стоком та витоком індукується канал, який забезпечує проходження струму між стоком та витоком. В транзисторах з вбудованим каналом при напрузі на затворі  $U_{зв} = 0$  між стоком та витоком проходить початковий струм. При подачі на затвор від'ємної напруги (для n-типу) відбувається зменшення початкового струму або цей струм відсутній взагалі. При подачі додатної напруги струм між стоком та витоком збільшується.

Транзистори p-типу керуються від'ємною напругою.

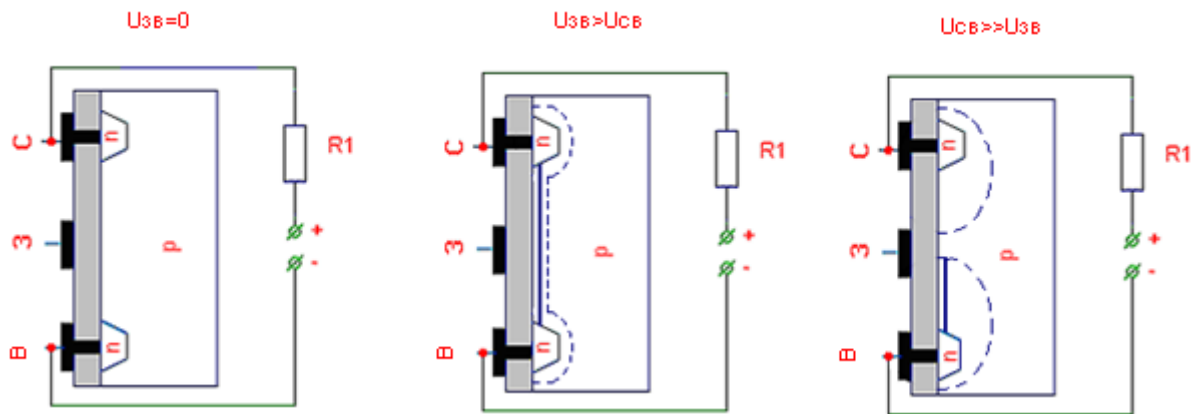


Рис. 55. Польовий транзистор з індукованим каналом

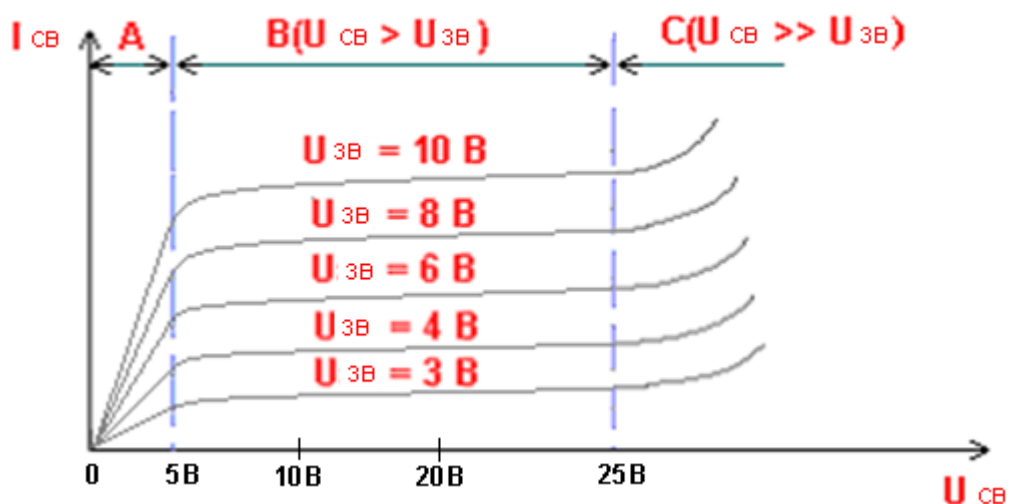


Рис. 56. ВАХ польового транзистора

Мінімальна напруга на затворі, при якій між стоком та витоком з'являється струм, називається порогом. Для польових транзисторів поріг дорівнює  $\approx 3$  В.

Польові транзистори мають лінійну область на вольт-амперній характеристиці (Рис. 56). В цій області зміна напруги стік-витік призводить до лінійної зміни струму між стоком та витоком (область **A** на графіку). Це відбувається, якщо  $U_{cb} \ll U_{zb}$ . В цьому випадку індукується канал між стоком та витоком, а в районі стоку та витоку формуються збіднені області. Подальше збільшення  $U_{cb}$  призводить до зміни форм збіднених областей. Транзистор переходить в режим насичення, який характеризується тим, що збільшення  $U_{cb}$  не призводить до суттєвого збільшення струму стік-витік (область **B** на графіку). Подальше збільшення  $U_{cb}$  призводить до того, що збіднені області перекривають канал і в результаті незначне збільшення  $U_{cb}$  призводить до лавиноподібного струму між стоком та витоком та до руйнування транзистора (область **C** на графіку).



Пробій транзистора також може виникнути при подачі на затвор великої напруги, що призведе до руйнування діелектрика. Транзистори даного типу «бояться» статичної напруги.

Так як вольт-амперна характеристика має лінійну область, то транзистори в цьому режимі можуть використовуватись в схемах як резистори, що забезпечує однорідність схеми.

## Базові схеми на польових транзисторах

Схеми працюють так само, як і схеми ТТЛ із загальним навантаженням.

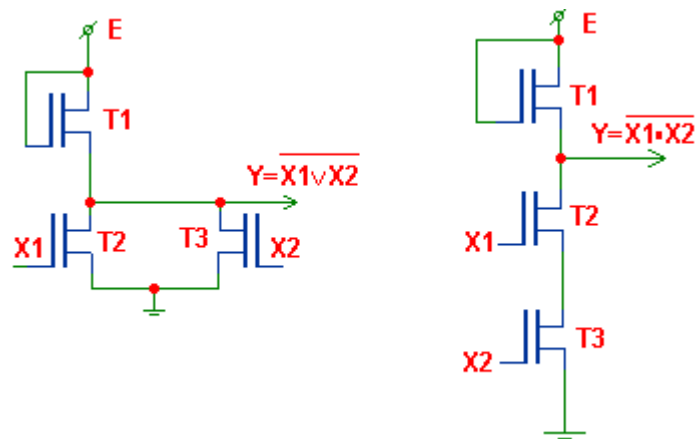


Рис. 57. Елементи АБО-НЕ та І-НЕ

У даних схемах використовуються транзистори n-типу (Рис. 57). Транзистор Т1 використовується як резистор. Якщо використовуються транзистори р-типу, то на затвори слід подавати від'ємну напругу. При цьому від'ємну напругу повинні мати джерело живлення, а також рівні логічного нуля. У випадку, коли використовуються транзистори р-типу, при негативній логіці функція на виході залишається незмінною.

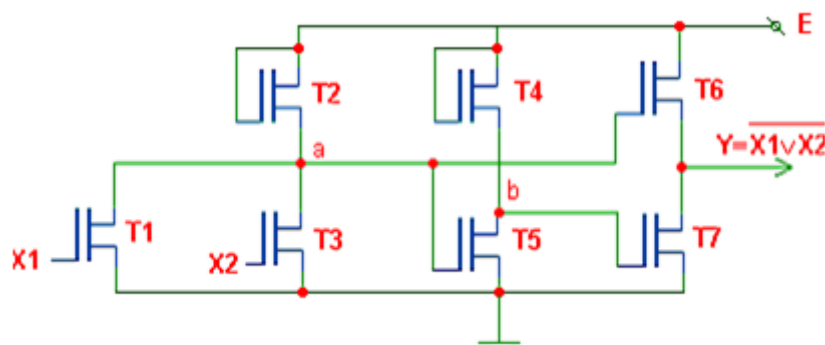


Рис. 58. Варіант елемента АБО-НЕ з парафазним підсилювачем

В схемі Т2 та Т4 використовуються в якості навантажувальних резисторів (Рис. 58); якщо  $X1 = X2 = L$ , то в точці **a** має місце високий рівень, який подається на затвори Т5 та Т6. Транзистори Т5 та Т6 відкриті, в точці **b** низький рівень, тому Т7 закритий і на виході встановлюється високий рівень.

Якщо хоча б на один із входів подати високий рівень, то в точці **a** встановлюється низький рівень, Т5 та Т6 закриті. В точці **b** високий рівень, Т7 відкритий і на виході маємо низький рівень.

## Переваги та недоліки схем на базі МДН транзисторів.

Переваги:

- 1) високий вхідний опір ( $10^{12} - 10^{14}$  Ом);
- 2) малі розміри та висока технологічність;
- 3) транзистори можна використовувати в якості резисторів, що забезпечує однорідність при виготовленні;
- 4) використовується одне джерело живлення;
- 5) струм може проходити як від стоку до виток, так і навпаки.

Недоліки:

- 1) висока порогова напруга;
- 2) невисока швидкодія, особливо для транзисторів р-типу;
- 3) потрібен захист від статички.

## Технологія КМДН (КМОН)

КМДН – комплементарна МДН-технологія. В КМДН транзистори не використовуються в якості резисторів, не працюють в лінійній області. В даній технології використовуються транзистори різного типу.

Дані схеми мають найнижчу потужність споживання.

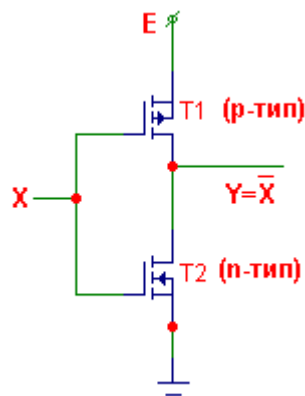


Рис. 59. Інвертор на базі КМДН

Якщо подати на вхід високий рівень (Рис. 59), відкривається транзистор n-типу ( $T_2$ ). При цьому  $T_1$  закритий, на виході низький рівень. Якщо подати на вхід низький рівень,  $T_1$  відкритий,  $T_2$  закритий. На виході встановлюється високий рівень, який дорівнює напрузі джерела. Струм через  $T_1$  та  $T_2$  проходить тільки в момент їх переключення. В статичному режимі через елемент струм не протікає. Така організація елементів забезпечує мінімальну потужність розсіювання (Рис. 60). Потужність, що споживається, визначається частотою перемикання елементів.

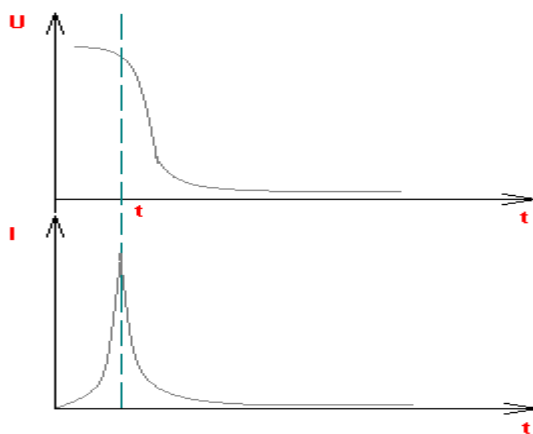


Рис. 60. Залежність струму від вихідної напруги при перемиканні елемента

### Схемотехнічні різновиди КМДН.

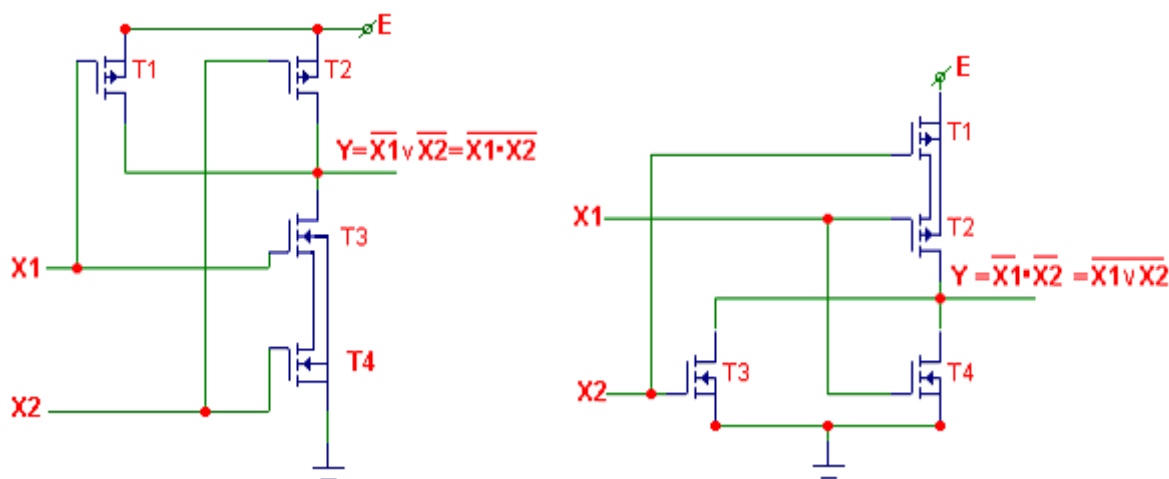


Рис. 61. Елементи І-НЕ та АБО-НЕ на базі КМДН

Щоб на виході схеми АБО-НЕ (Рис. 61) отримати високий рівень, необхідно, щоб між стоком та витоким  $T_1$  та  $T_2$  утворився канал. Оскільки  $T_1$  та  $T_2$  – транзистори р-типу, то на затвор для утворення каналу необхідно подати напругу низького рівня. Оскільки сигнал  $X_1$  потрапляє на затвор  $T_1$  та  $T_3$ , а  $X_2$  – на затвори  $T_2$  та  $T_4$ , то якщо подати низький рівень на  $X_1$ , відкривається  $T_1$  та закривається  $T_3$  (n-типу). При цьому встановлюється зв'язок між  $E$  (джерелом живлення) та виходом, на виході високий рівень, який дорівнює  $E$ . Зв'язку між виходом та схемною землею немає, оскільки  $T_3$  закритий. Аналогічний режим забезпечується, якщо подати на  $X_2$  низький рівень.

Для забезпечення високого рівня на виході схеми І-НЕ необхідно забезпечити зв'язок між  $E$  та виходом. Оскільки  $T_1$  та  $T_2$  – р-типу, то необхідно на їх затвори подати низький рівень. Якщо  $T_1$  або  $T_2$  відкритий, то на виході буде високий рівень, в цьому випадку паралельно включені транзистори  $T_3$  та  $T_4$  (n-типу) є закритими.

## Схема «виключне АБО» на базі КМДН

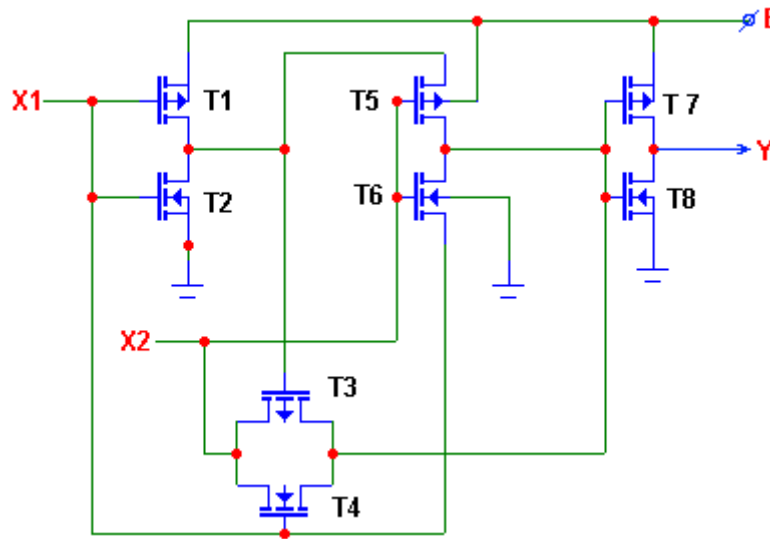


Рис. 62. Схема «виключне» АБО на базі КМДН

**Функція на виході схеми (Рис. 62):**

$$Y = X1 \oplus X2$$

**Елементи схеми:**

T1, T3, T5, T7 – р-типу;

T2, T4, T6, T8 – n-типу;

T3, T4 працюють як комутатор.

**Робота схеми за умови  $X1 = X2 = H$ :**

В першому базовому елементі відповідно транзистор T1 закритий, T2 відкритий. За рахунок індукованого каналу T2 на виході першого елементу маємо низький рівень.

Низький рівень також подається на комутатор (на затвор T3). T3 індукує канал і комутує напругу (високий рівень) з входу X2 на вихід.

На транзисторі T4 немає різниці потенціалів між стоком і виток, тому T4 закритий. Аналогічна ситуація з T6. T5 також закритий, тому що на затворі високий рівень.

Для третього елементу (T7, T8) керуюча напруга задається двома способами:

- 1) вихід другого елементу (T5, T6);
- 2) вихід комутатора (T3, T4).

За даних умов на затвори вихідного елементу подається через комутатор високий рівень. Транзистор T7 закритий, T8 відкритий, на виході низький рівень.

## Порівняльна характеристика технологій

Ідеальний логічний елемент повинен мати високу швидкодію, завадостійкість, споживати мінімальну потужність, мати просту технологію виготовлення, велику щільність упаковки на кристалі.

Найвищу швидкодію мають елементи, виготовлені за технологією ЕЗЛ, оскільки в даних схемах мінімальна різниця між напругами логічних рівнів нуля й одиниці. Час перемикання вентиля мінімальний у схемах ЕЗЛ у зв'язку з наявністю перемикачів струмів, де транзистори не заходять в режим насичення, а також у зв'язку з наявністю емітерних повторювачів, які зсувають вихідний рівень та забезпечують необхідну амплітуду керуючих струмів. Максимальний час перемикання у схем на базі р-МОН транзисторів, тому що потрібен час на організацію каналу.

Найвищу завадостійкість мають схеми на уніполярних транзисторах, оскільки в них максимальний розмах між рівнями логічного нуля й одиниці.

Найнижчу потужність споживання мають схеми на базі КМДН, оскільки через базові елементи протікає струм лише в момент їх перемикання. В статичному режимі струм не проходить.

Щільність пакування елементів (кількість вентилів на одиницю площі) найбільша в схемах, які виготовляються на базі уніполярних однотипних транзисторів (МДН). Це пояснюється тим, що схеми володіють однорідністю і тим, що транзистори МДН займають меншу площу на кристалі, ніж біполярні транзистори, резистори тощо. Високою щільністю пакування елементів володіє технологія ПЛ. Це пояснюється наявністю спільних областей.

Найнижча щільність в схемах ЕЗЛ у зв'язку з наявністю джерела опорної напруги.

## Тригери та їх використання

Розглянемо RS-тригер (R – reset, скидання; S – set, встановлення) та його побудову (Рис. 63).

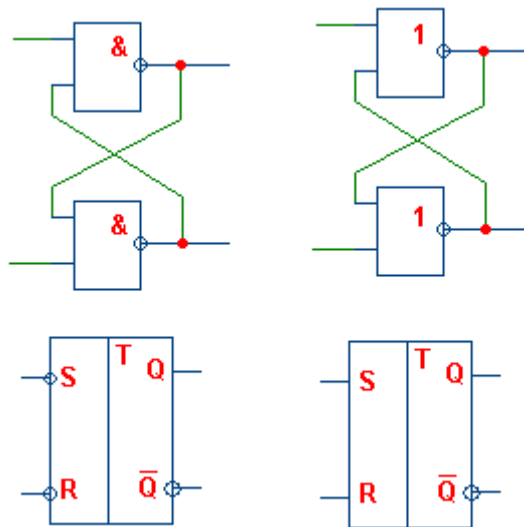


Рис. 63. Варіанти побудови RS-тригерів

RS-тригер – це тригер з двома входами, який зберігає свій попередній стан при подачі неактивного сигналу на обидва входи, і змінює свій стан при подачі на один із входів активного сигналу. При подачі активного сигналу на S і неактивного на R тригер переходить в одиничний стан; при подачі активного на R і неактивного на S – в нульовий (якщо тригер має прямі входи). Якщо RS-тригер синхронний, то стан його входів враховується тільки в момент тактування, наприклад, по задньому фронту синхросигналу. Одночасне подання двох активних сигналів на R і на S заборонено (для І-НЕ – 00, для АБО-НЕ – 11). За такої умови руйнується тригерний зв'язок, тобто тригер не виконує свої функції. Схема RS-тригера в такому випадку перейде в стан, коли на обох виходах будуть однакові сигнали, що суперечить логіці тригера, оскільки інверсний вихід буде рівний неінверсному.

## Ділення вхідної частоти на 2 за допомогою D-тригера

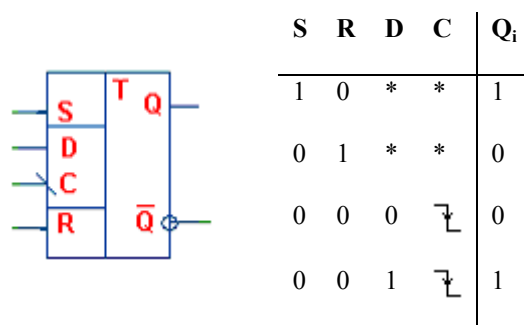


Рис. 64. D-тригер та його таблиця переходів

D-тригер (D – delay, затримка) запам'ятовує стан входу й видає його на вихід. D-тригери мають, як мінімум, два входи: інформаційний D і синхронізації C. Входи R і S мають більші пріоритети, ніж інформаційні.

R, S – асинхронні, D – синхронний.

Якщо один із входів R або S не використовується, то на нього постійно подається неактивний рівень (прямий – земля, інверсний – живлення).

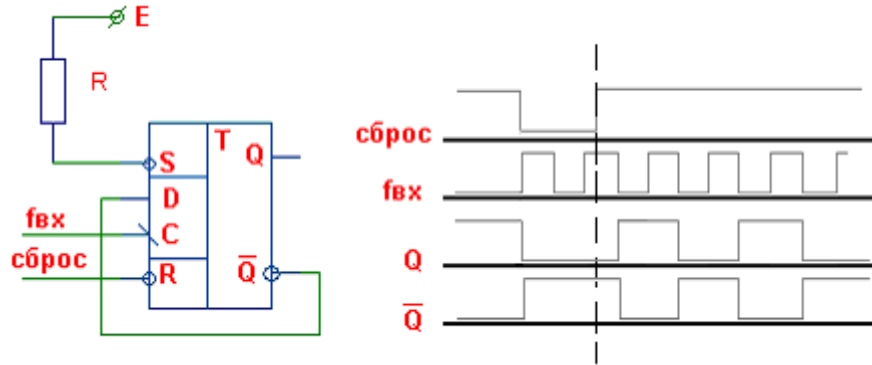
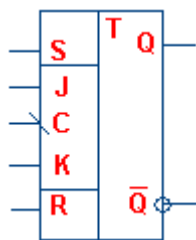


Рис. 65. Дільник частоти на 2 на базі D-тригера та його часова діаграма

Послідовне з'єднання D-тригерів за розглянутою схемою (Рис. 65) забезпечує поділ вхідної частоти на  $2^n$ .

## JK тригер та його використання



| S | R | J | K | C            | $Q_i$                |
|---|---|---|---|--------------|----------------------|
| 0 | 1 | * | * | *            | 0                    |
| 1 | 0 | * | * | *            | 1                    |
| 0 | 0 | 0 | 0 | $\downarrow$ | $Q_{i-1}$            |
| 0 | 0 | 0 | 1 | $\downarrow$ | 0                    |
| 0 | 0 | 1 | 0 | $\downarrow$ | 1                    |
| 0 | 0 | 1 | 1 | $\downarrow$ | $\overline{Q_{i-1}}$ |

Рис. 66. JK-тригер та його таблиця переходів

JK-тригер працює так само як і RS-тригер, за одним лише виключенням: при подачі логічної одиниці на обидва входи J і K стан виходу тригера змінюється на зворотний. Вхід J (Jump, стрибок) аналогічний входу S у RS-тригера. Вхід K (Kill, вбити) аналогічний входу R RS-тригера. При подачі одиниці на вхід J та нуля на вхід K вихідний стан тригера стає рівним логічній одиниці. А при подачі одиниці на вхід K і нуля на вхід J вихідний стан тригера стає рівним логічному нулю.

Для організації ділення вхідної частоти, яка потрапляє на вхід C, на 2, необхідно на R та S подати низький рівень, а на J та K – високий. Якщо з'єднати входи J і K даного тригера в один інформаційний вхід, то отримаємо T-тригер.

## Ділення вхідної частоти на 3 за допомогою JK-тригерів

Якщо поєднати 2 тригера (Рис. 67), то можна поділити вхідну частоту на 3 (Рис. 68).

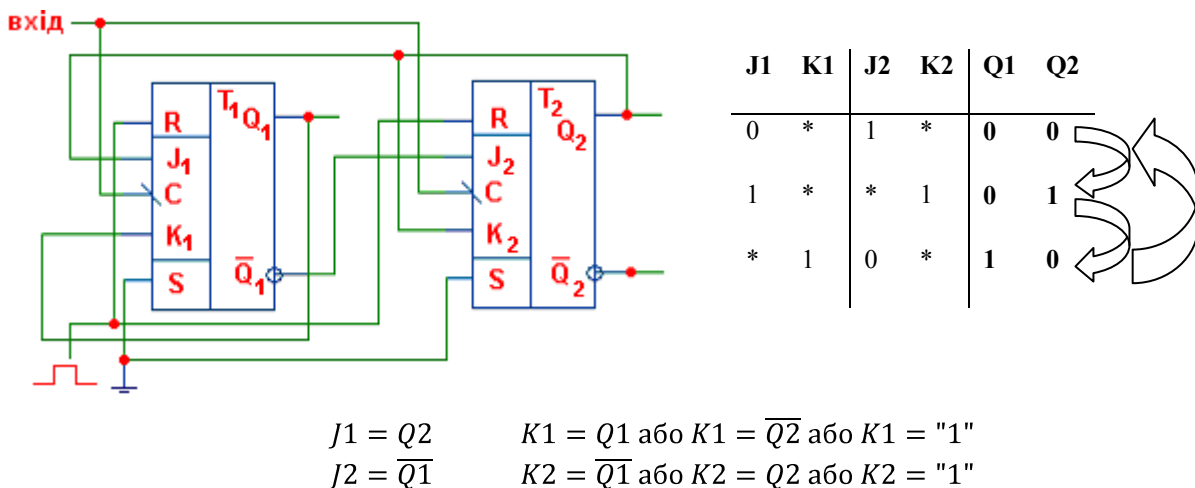


Рис. 67. Ділення вхідної частоти на 3 за допомогою JK – тригера

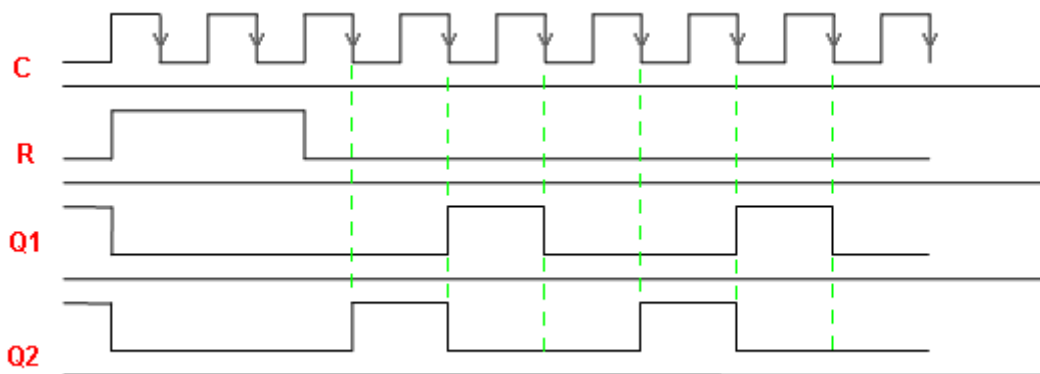


Рис. 68. Часова діаграма схеми ділення вхідної частоти на 3

Перевіримо, чи виходить схема із забороненого стану у разі переходу в нього (Рис. 69): якщо встановити тригери у стан 11, тоді вони на наступному такті перейдуть у стан 00.

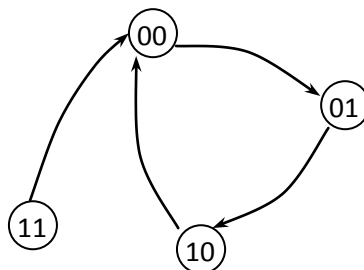


Рис. 69. Діаграма переходів схеми



## Видалення явища “дребезгу” за допомогою тригера.

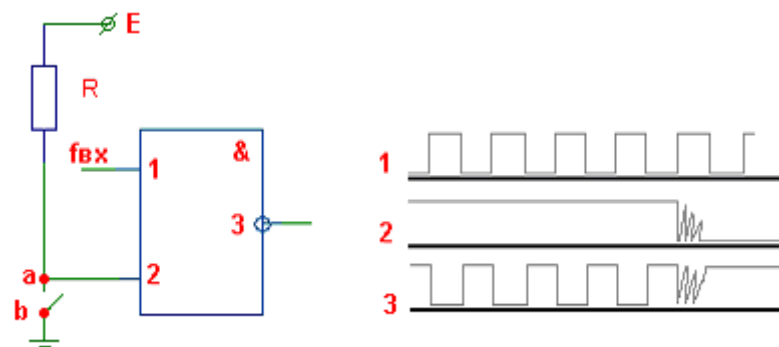


Рис. 70. Виникнення явища “дребезгу” при використанні кнопки

Дана схема (Рис. 70) керується вхідним синхросигналом, який поступає на вхід №1. Якщо на вході №2 низький рівень, тоді синхросигнал не поступає на вихід і на виході завжди високий рівень. Якщо на вході №2 високий рівень, тоді сигнал з входу №1 проходить на вихід №3.

В момент подавання на вхід №2 виникає „дребезг”. Якщо він співпадає з високим рівнем на вході №1, тоді на виході №3 також виникає „дребезг”, що може призвести до неправильного спрацювання схеми. Якщо переключення проходить при низькому рівні на вході №1, тоді на виході №3, в більшості випадків, “дребезг” не з’являється.

Для усунення явища „дребезгу” використовують тригер (Рис. 71).

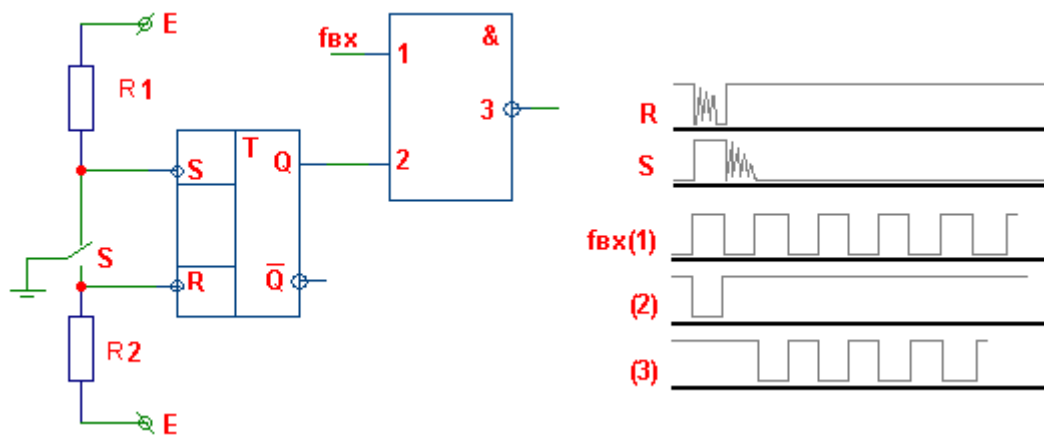


Рис. 71. Усунення явища “дребезгу” за допомогою тригера

“Дребезг” на керуючих сигналах не передається на вихід, оскільки повторна подача на керуючий вхід нуля (подача за рахунок „дребезгу”) тільки підтверджує вихідні рівні. Недоліком цієї схеми є те, що сигнали на виході №3 можуть відрізнитися за довжиною від сигналу вхідної частоти.

## Лічильники та їх застосування

Лічильник – це автомат, призначений для виконання мікрооперацій лічби та зберігання слів. Кількість дозволених станів лічильника називається модулем. Лічильники поділяють на інкрементні, декрементні та інверсні. Залежно від основи системи числення використовуються для операції лічби двійкові, двійково-десяткові (декадні), двійково-п’ятіркові та інші. Лічильники також бувають синхронні та асинхронні.

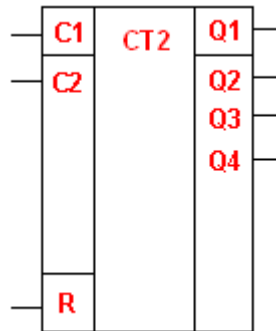


Рис. 72. Лічильник

Даний лічильник (Рис. 72) фізично складається з двох лічильників. Перший, із входом C1 та виходом Q1, забезпечує ділення вхідної частоти на 2. Другий, із входом C2 та виходами Q2, Q3, Q4, забезпечує ділення вхідної частоти на 2 (Q2), 4 (Q3) та 8 (Q4). Поєднання цих лічильників забезпечує ділення вхідної частоти на 16. Вхід R забезпечує встановлення лічильника в початковий стан.

Для того, щоб лічильник ділив вхідну частоту на 16 (Рис. 74), можна з'єднати входи та виходи лічильника двома способами:

- 1) на вхід C1 подати вхідний сигнал, а до входу C2 приєднати вихід Q1 (Рис. 73);
- 2) на вхід C2 подати вхідний сигнал, а до входу C1 приєднати вихід Q4.

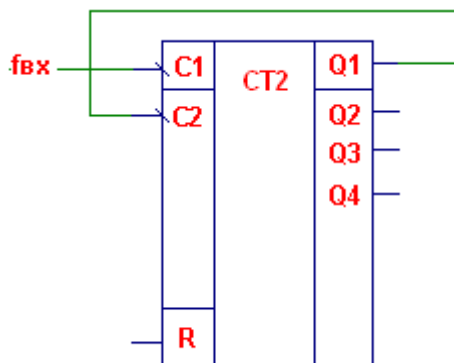


Рис. 73. Ділення вхідної частоти на 16 першим способом

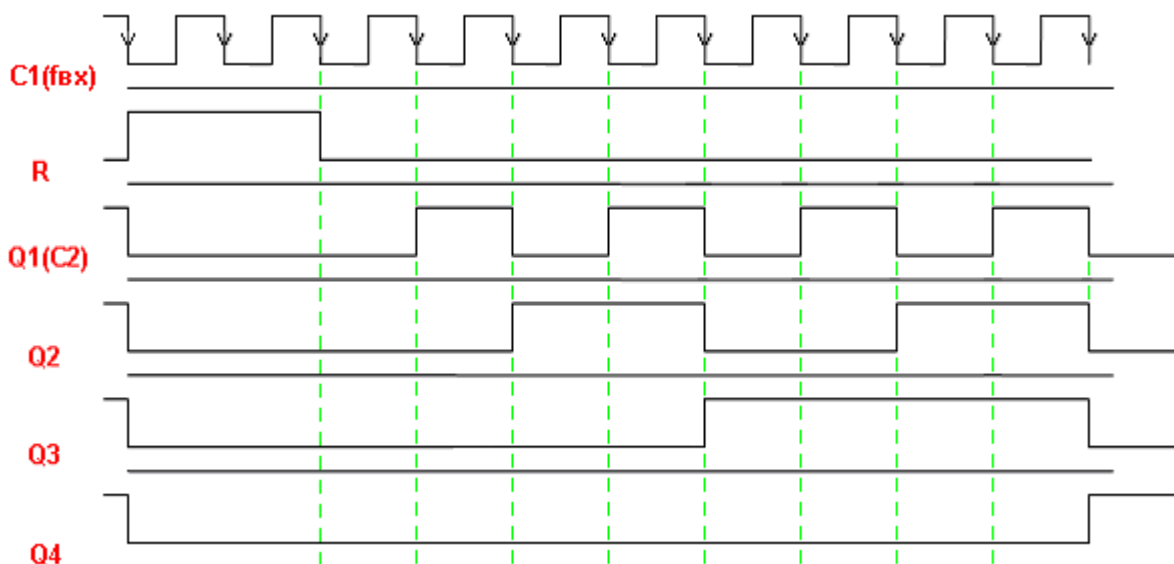


Рис. 74. Часова діаграма ділення входної частоти на 16 першим способом

## Двійково-десятковий лічильник і його застосування

Перший лічильник ділить входну частоту на 2 (вхід C1, вихід Q1), другий – на 5 (вхід C2, виходи Q2, Q3, Q4).

Якщо поєднати 1-й та 2-й лічильники другим способом (Рис. 75), то на виході Q1 ми отримаємо ділення входної частоти на 10 зі шпаруватістю 2 (шпаруватість – відношення періоду сигналу до довжини  $Q = T / \tau$ ).

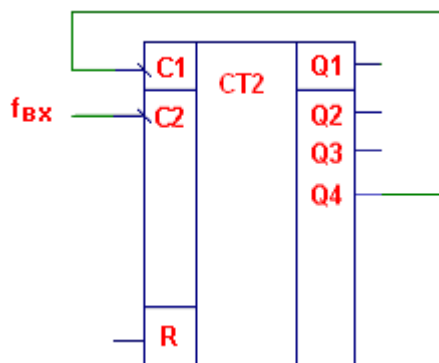


Рис. 75. Ділення входної частоти на 10 другим способом

При підрахуванні входних імпульсів за допомогою двійково-десятьового лічильника в першому випадку з'єднання першого та другого лічильника на виходах ми отримаємо послідовність від 0 до 9 (0000 ÷ 1001), в другому випадку (подання Q4 на C1) послідовність лічби на виходах Q1, Q2, Q3, Q4 порушується, але при цьому забезпечується шпаруватість 2 вихідного сигналу Q1. Ці особливості необхідно враховувати при послідовному з'єднанні лічильника та дешифрації вихідних сигналів для подання керуючого сигналу через визначену кількість входних синхросигналів.

Якщо ділення входної частоти реалізується за першим варіантом, то при послідовному з'єднанні лічильників, як правило, вихід Q4 першого лічильника з'єднується з входом C1 наступного, при чому перший рахує одиниці, а другий – десятки.

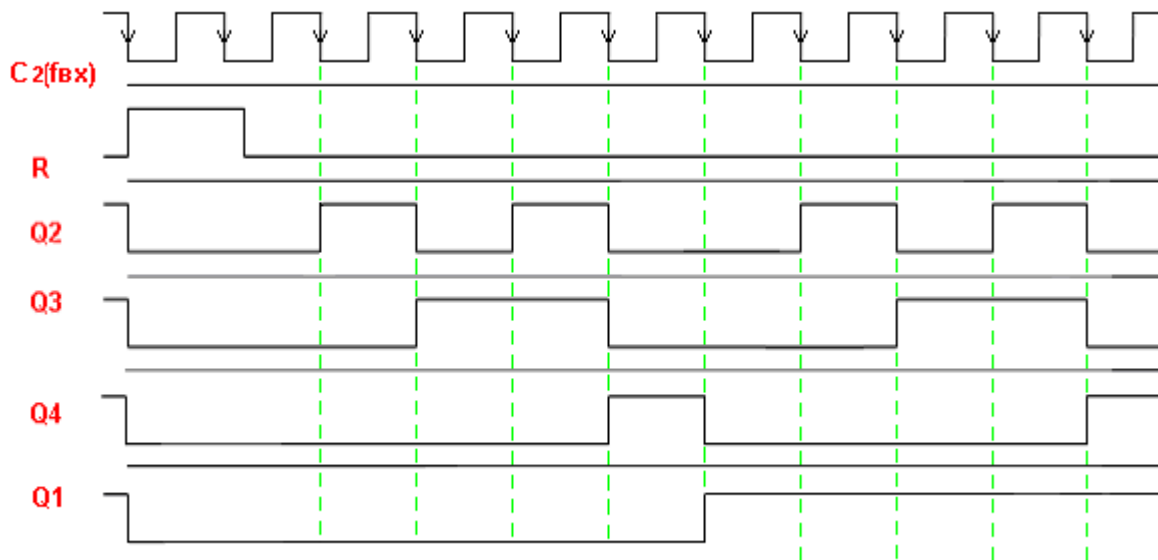


Рис. 76. Часова діаграма ділення вхідної частоти на 10 другим способом

Якщо виникає необхідність тримати керуючий сигнал деякий час, то використовують тригери або одновібратори.

### Декадні реверсивні лічильники

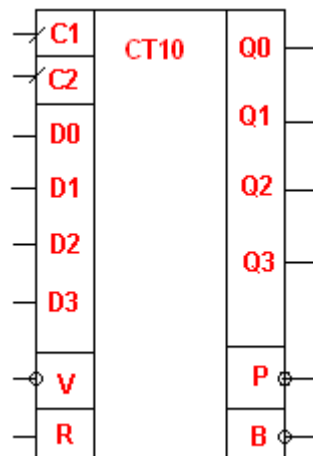


Рис. 77. Декадний реверсивний лічильник

**Призначення входів та виходів (Рис. 77):**

**C1, C2** – керуючі синхровходи (C1 – для прямої лічби, C2 – для зворотної);

**D0, D1, D2, D3** – інформаційні входи для запису числа, з якого починається лічба;

**V** – дозвіл для запису інформації із входів D0 – D3;

**R** – вхід для скидання;

**Q0, Q1, Q2, Q3** – інформаційні виходи;

**P** – вихід переносу;

**B** – вихід займу (позики).

| ВХОДИ |   |    |    |   | ВИХОДИ  |  |   |   |
|-------|---|----|----|---|---|--|---|---|
| R     | V | C1 | C2 | D3-D0   | Q <sub>3</sub> -Q <sub>0</sub>                                      | Q <sub>i+3</sub> -Q <sub>i+0</sub>                                       | P | B |
| L     | H | H  | H  | *   | q <sub>3</sub> q <sub>2</sub> q <sub>1</sub> q <sub>0</sub>         | q <sub>3</sub> q <sub>2</sub> q <sub>1</sub> q <sub>0</sub>              | H | H |
| H     | * | *  | *  | *   | *   | L L L L  | H | H |
| L     | L | H  | H  | d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub> | *   | d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>              | H | H |
| L     | H | L  | H  | *   | q' <sub>3</sub> q' <sub>2</sub> q' <sub>1</sub> q' <sub>0</sub>     | q' <sub>3</sub> q' <sub>2</sub> q' <sub>1</sub> q' <sub>0</sub>          | H | H |
| L     | H | ⌋  | H  | *   | q' <sub>3</sub> q' <sub>2</sub> q' <sub>1</sub> q' <sub>0</sub>     | q' <sub>3</sub> q' <sub>2</sub> q' <sub>1</sub> (q' <sub>0</sub> +1)     | H | H |
| L     | H | L  | H  | *   | H L L H   | H L L H  | L | H |
| L     | H | ⌋  | H  | *   | H L L H   | L L L L  | ⌋ | H |
| L     | H | H  | L  | *   | q'' <sub>3</sub> q'' <sub>2</sub> q'' <sub>1</sub> q'' <sub>0</sub> | q'' <sub>3</sub> q'' <sub>2</sub> q'' <sub>1</sub> q'' <sub>0</sub>      | H | H |
| L     | H | H  | ⌋  | *   | q'' <sub>3</sub> q'' <sub>2</sub> q'' <sub>1</sub> q'' <sub>0</sub> | q'' <sub>3</sub> q'' <sub>2</sub> q'' <sub>1</sub> (q'' <sub>0</sub> -1) | H | H |
| L     | H | H  | L  | *   | L L L L   | L L L L  | H | L |
| L     | H | H  | ⌋  | *   | L L L L   | H L L H  | H | ⌋ |

Рис. 78. Таблиця переходів декадного реверсивного лічильника

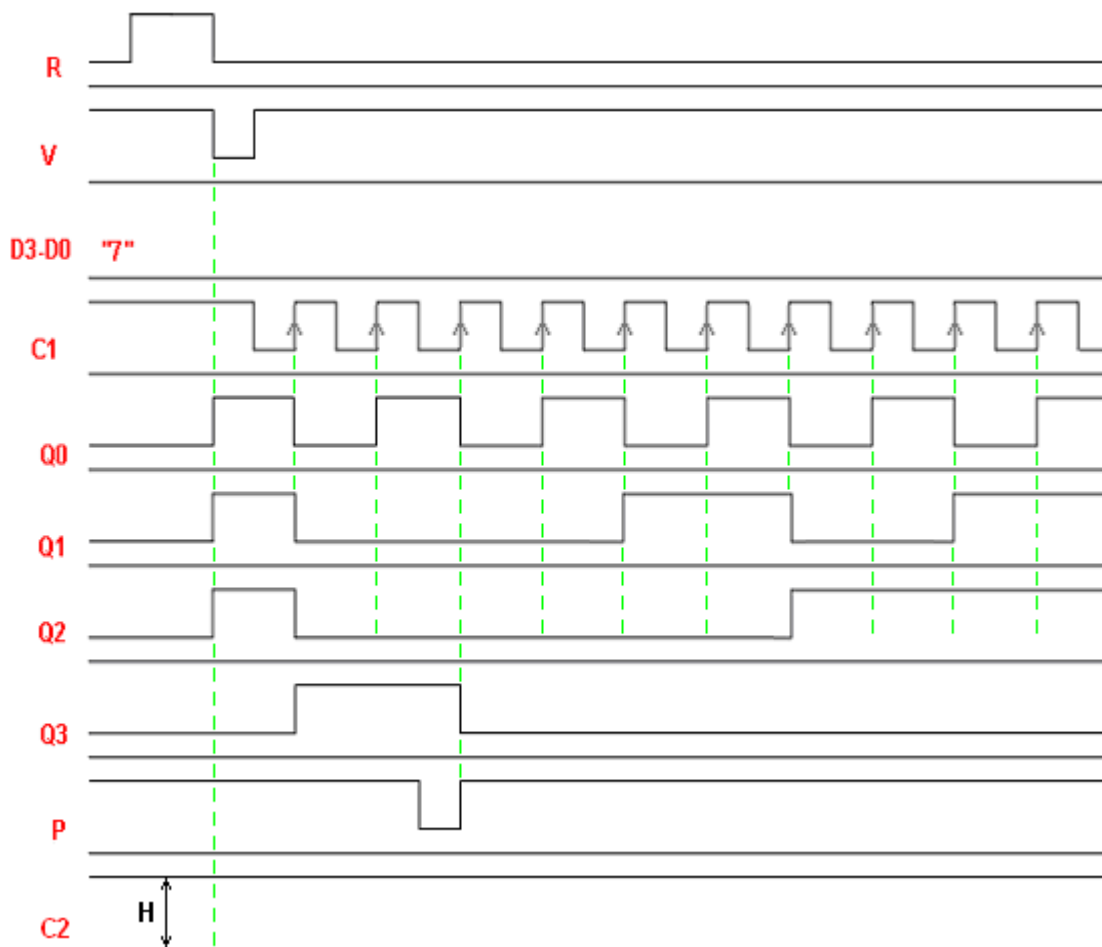


Рис. 79. Часова діаграма декадного реверсивного лічильника на додавання

Двійково-десятковий реверсивний лічильник побудовано на базі чотирьох JK-тригерів. Особливістю лічильника є побудова за синхронним принципом, за яким всі тригери перемикаються одночасно від одного імпульсу.

Напрямок лічби задається станом керуючих входів. При прямій лічбі повинна бути напруга високого рівня на вході зворотної лічби. При зворотній лічбі – на вході прямої лічби.

Встановлення в „0” реалізується за допомогою входу R незалежно від стану інформаційних, керуючих та входів попереднього запису.

Для побудови лічильників з більшою розрядністю використовують виходи прямого та зворотного переносів. З виходу прямого подають сигнал на вхід прямого керуючого входу наступного каскаду. Сигнал займу подається на вхід зворотної лічби наступного каскаду.

Інформація із входів D0 – D3 знімається тільки після завершення сигналу дозволу запису, при цьому переводити виходи в нульовий стан не обов’язково. Змінювати сигнали на входах D0 – D3 необхідно з урахуванням довжини сигналу на вході V.

При такій побудові перший лічильник буде рахувати одиниці, а другий – десятки.

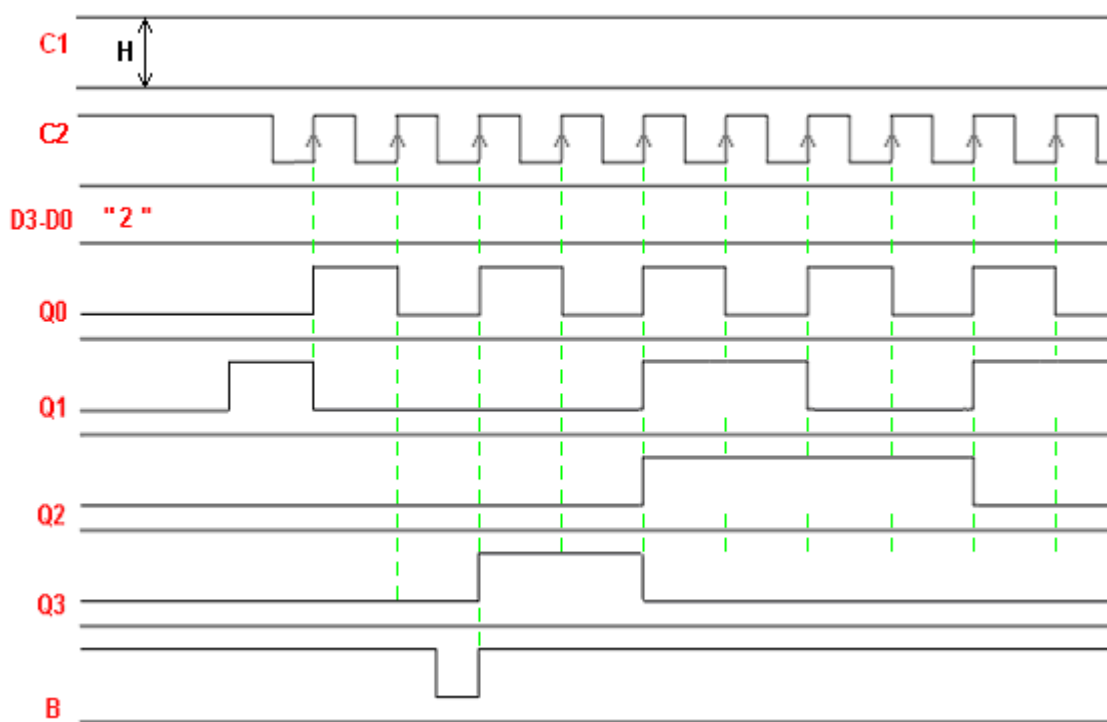


Рис. 80. Часова діаграма декадного реверсивного лічильника на віднімання

## Програмований лічильник, що ділить частоту від 3 до 21327

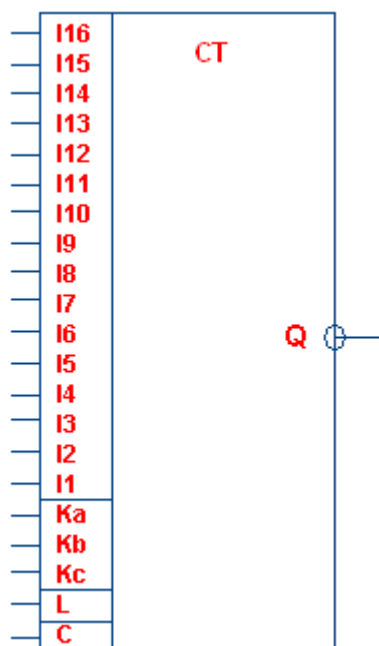


Рис. 81

$N$  – коефіцієнт ділення вхідної частоти

$$N = M (1000 * P1 + 100 * P2 + 10 * P3 + P4) + P5$$

$M$  – модуль, дорівнює 2, 4, 5, 8, 10, в залежності від реалізації.

### Призначення входів (Рис. 81):

$C$  – синхровхід.

Входи  $J1 \div J16$  – інформаційні входи, за якими формуються значення для коефіцієнтів  $P1 \div P5$ .

$J16$  – старший розряд,  $J1$  – молодший.

Входи  $Ka, Kb, Kc$  – для формування значення модуля  $M$  згідно з таблицею.

Вхід  $L$  – керуючий, для задання режиму роботи (одноразове або багаторазове ділення).

$Q$  – вихід.

Лічильник може працювати в двох режимах:

- 1) режим ділення, коли на виході маємо імпульс з частотою  $f_{вх}/N$ , де  $N$  – коефіцієнт ділення вхідної частоти, та довжиною, яка дорівнює періоду вхідної частоти;
- 2) одноразова лічба, коли після подачі на вхід запрограмованих  $N$  імпульсів на виході встановлюється високий рівень, який не змінюється з приходом наступних синхросигналів.

Лічильник складається з 4 секцій:

- основна секція, до складу якої входять дві підсекції;
- підсекція модуля та запису;
- підсекція тисяч, сотень, десятків, одиниць.

Секції базуються на 4-розрядних двійкових лічильниках, які працюють в режимі віднімання.

Інформація на входах  $J5 \div J16$ , а відповідно до коефіцієнтів  $P2 \div P4$ , може задаватись як від 0 до 9, так і від 0 до 15.

N розраховується, виходячи з таблиці:

| M  | P1 <sub>max</sub> | P5 <sub>max</sub> | N <sub>min</sub> | N <sub>max</sub> (P2÷P4, 0...9) | N <sub>max</sub> (P2÷P4, 0...15) |
|----|-------------------|-------------------|------------------|---------------------------------|----------------------------------|
| 2  | 7                 | 1                 | 3                | 15999                           | 17331                            |
| 4  | 3                 | 3                 | 3                | 15999                           | 18663                            |
| 5  | 1                 | 4                 | 3                | 9999                            | 13329                            |
| 8  | 1                 | 7                 | 3                | 15999                           | 21327                            |
| 10 | 0                 | 9                 | 3                | 9999                            | 16659                            |

За допомогою чотирьох розрядів J1÷J4 задається P1 та P5. P5 – остача від ділення. P1 займає розряди, які залишилися (максимальна кількість тисяч);

P4: J8, J7, J6, J5;

P3: J12, J11, J10, J9;

P2: J16, J15, J14, J13.

Таблиця режимів роботи:

| L | K <sub>a</sub> | K <sub>b</sub> | K <sub>c</sub> | M  | Режим роботи               |
|---|----------------|----------------|----------------|----|----------------------------|
| 0 | 1              | 1              | 1              | 2  | Багаторазовий              |
| 0 | 0              | 1              | 1              | 4  |                            |
| 0 | 1              | 0              | 1              | 5  |                            |
| 0 | 0              | 0              | 1              | 8  |                            |
| 0 | 0              | 1              | 0              | 10 |                            |
| 1 | 1              | 1              | 1              | 2  | Одноразовий                |
| 1 | 0              | 1              | 1              | 4  |                            |
| 1 | 1              | 0              | 1              | 5  |                            |
| 1 | 0              | 0              | 1              | 8  |                            |
| 1 | 0              | 1              | 0              | 10 |                            |
| * | *              | 0              | 0              | *  | Заборонена лічба/перезапис |

**Приклад:**

заповнити таблицю керування, якщо:

1) N=10131 (M=4, P1=2, P2=5, P3=3, P4=2, P5=3, поділ багатократний)

2) N=18143 (M=8, P1=1, P2=12, P3=6, P4=7, P5=7, поділ однократний)

| L | K <sub>a</sub> | K <sub>b</sub> | K <sub>c</sub> | J <sub>16</sub> | J <sub>15</sub> | J <sub>14</sub> | J <sub>13</sub> | J <sub>12</sub> | J <sub>11</sub> | J <sub>10</sub> | J <sub>9</sub> | J <sub>8</sub> | J <sub>7</sub> | J <sub>6</sub> | J <sub>5</sub> | J <sub>4</sub> | J <sub>3</sub> | J <sub>2</sub> | J <sub>1</sub> | N     |
|---|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-------|
| 0 | 0              | 1              | 1              | 0               | 1               | 0               | 1               | 0               | 0               | 1               | 1              | 0              | 0              | 1              | 0              | 1              | 0              | 1              | 1              | 10131 |
| 1 | 0              | 0              | 1              | 1               | 1               | 0               | 0               | 0               | 1               | 1               | 0              | 0              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 18143 |



## Синхронізатор імпульсів на базі тригерів та особливості його роботи

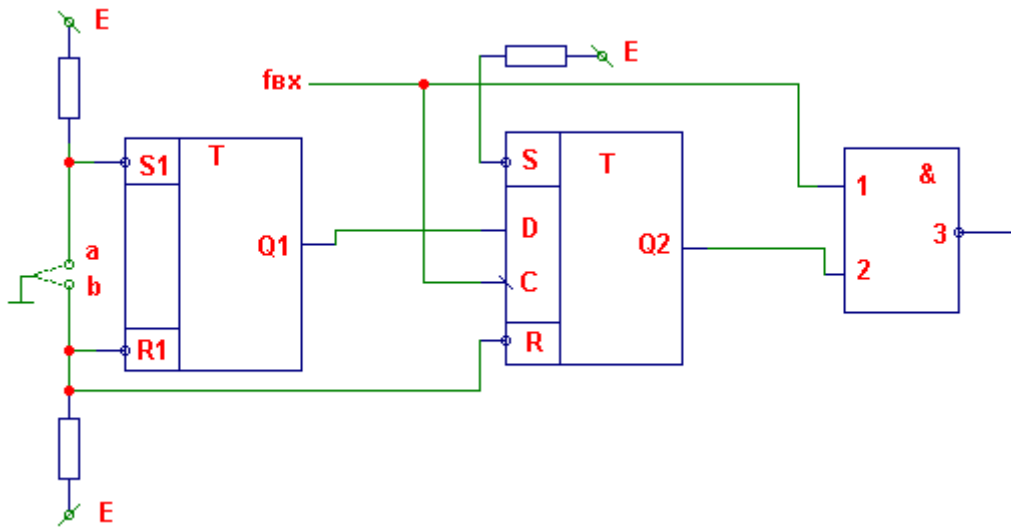


Рис. 82. Синхронізатор імпульсів на базі тригерів

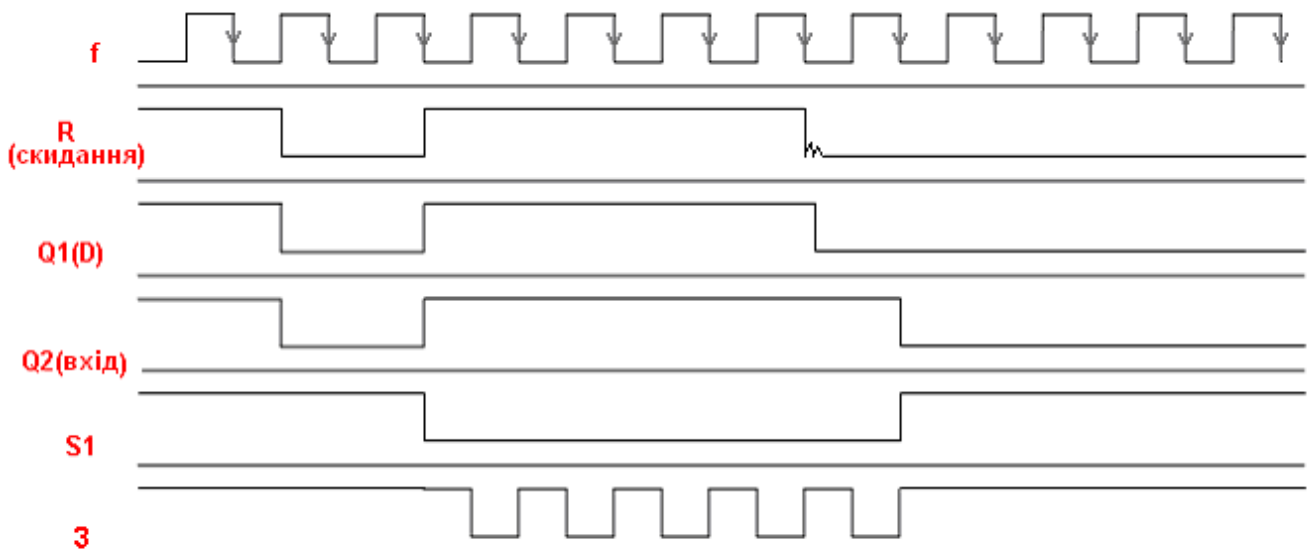


Рис. 83. Часова діаграма роботи синхронізатора

### Задача

З'єднати два реверсивних двійково-десяткових лічильника у каскадне з'єднання на віднімання та отримати керуючий сигнал на 12 синхроімпульсі.

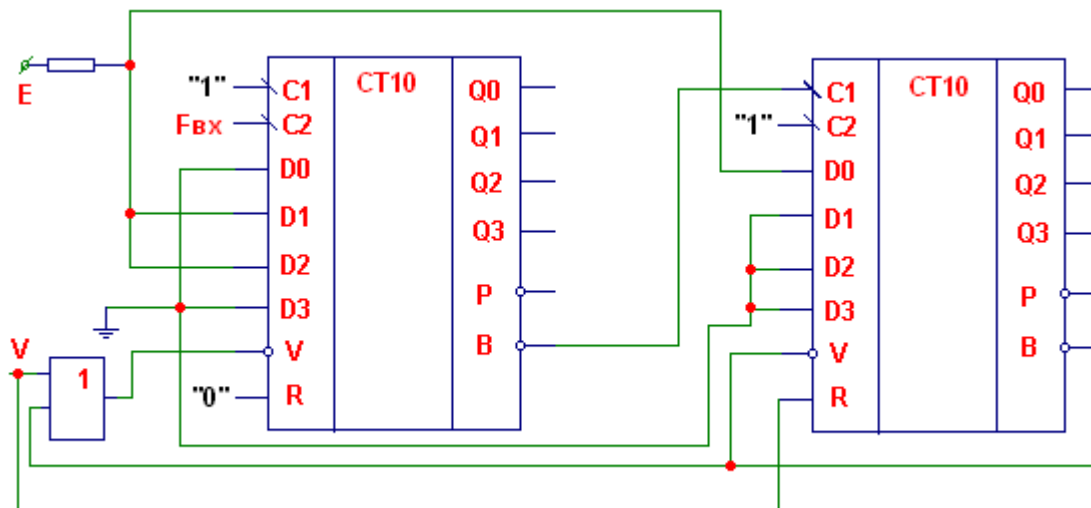


Рис. 84

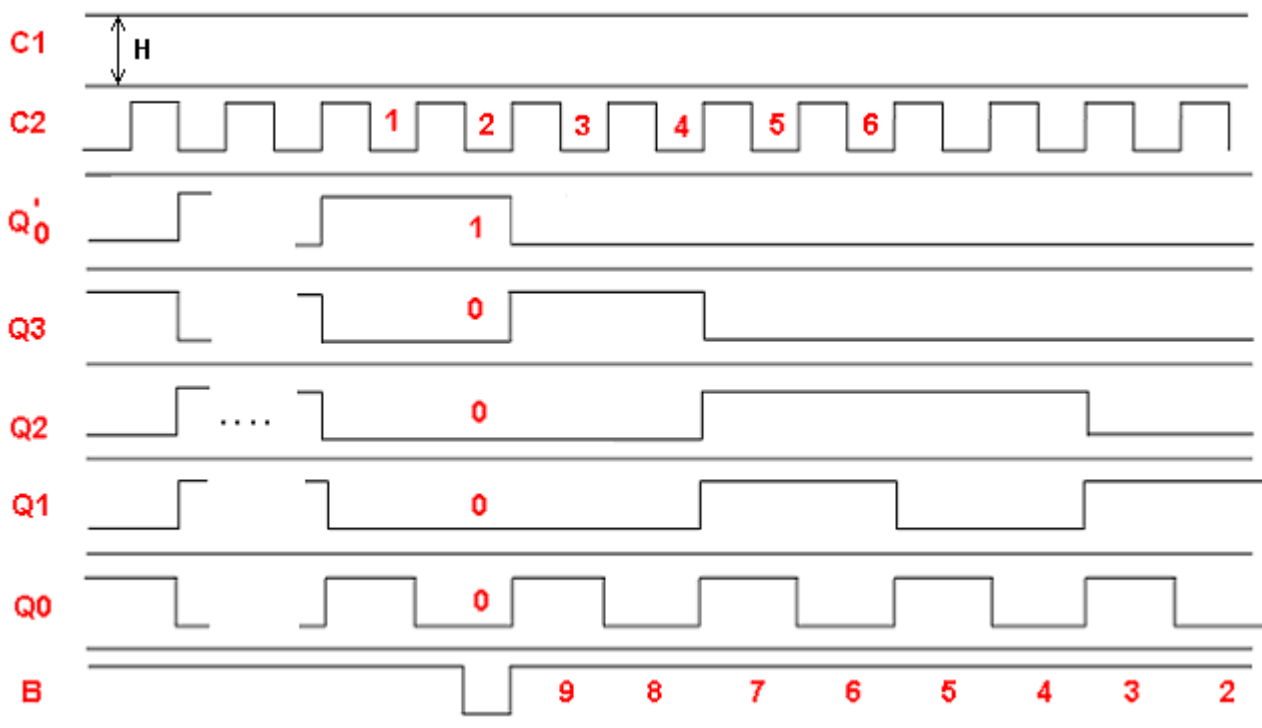


Рис. 85. Часова діаграма роботи схеми

Якщо синхронізація тригера D проходить за додатним переходом, тоді наприкінці серії імпульсів на виході може спостерігатися сплеск, який виникає за рахунок затримки розповсюдження сигналу через тригер.

## Файл-регістр 4x4

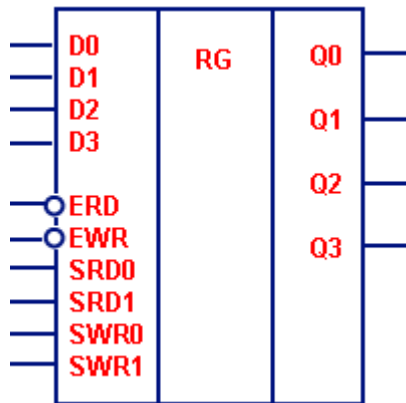


Рис. 86. Файл-регістр 4x4

D0÷D3 – інформаційні входи (Рис. 86), через які відбувається запис у внутрішні регістри RG0÷RG3.

SWR0, SWR1 визначають номер внутрішнього регістра (RG0÷RG3), в який буде здійснено запис,  $\overline{EWR}$  – строб запису.

SRD0, SRD1 визначають регістр, з якого буде здійснено читання,  $\overline{ERD}$  – строб читання і задання третього стану на виходах.

Q0÷Q3 – виходи.

Режим запису:

| Керуючі сигнали |      |     | Регістри                           |                                    |                                    |                                    |
|-----------------|------|-----|------------------------------------|------------------------------------|------------------------------------|------------------------------------|
| SWR0            | SWR1 | EWR | RG0                                | RG1                                | RG2                                | RG3                                |
| L               | L    | L   | W0Bi:=Di                           | Gi <sub>t+1</sub> =Gi <sub>t</sub> | Gi <sub>t+1</sub> =Gi <sub>t</sub> | Gi <sub>t+1</sub> =Gi <sub>t</sub> |
| H               | L    | L   | Gi <sub>t+1</sub> =Gi <sub>t</sub> | W1Bi:=Di                           | -//-                               | -//-                               |
| L               | H    | L   | -//-                               | -//-                               | W2Bi:=Di                           | -//-                               |
| H               | H    | L   | -//-                               | -//-                               | -//-                               | W3Bi:=Di                           |
| *               | *    | H   | Gi <sub>t</sub>                    | Gi <sub>t</sub>                    | Gi <sub>t</sub>                    | Gi <sub>t</sub>                    |

Режим читання:

| Керуючі сигнали |      |     | Регістри (Виходи) |      |      |      |
|-----------------|------|-----|-------------------|------|------|------|
| SRD0            | SRD1 | ERD | Q0                | Q1   | Q2   | Q3   |
| L               | L    | L   | W0B0              | W0B1 | W0B2 | W0B3 |
| H               | L    | L   | W1B0              | W1B1 | W1B2 | W1B3 |
| L               | H    | L   | W2B0              | W2B1 | W2B2 | W2B3 |
| H               | H    | L   | W3B0              | W3B1 | W3B2 | W3B3 |
| *               | *    | H   | ◇                 | ◇    | ◇    | ◇    |

W0 – слово в регістрі 0;

...

W3 – слово в регістрі 3;

Bi – i-ий біт слова в регістрі.

Запис у внутрішні регістри відбувається за умови наявності інформації на входах D0÷D3 та низького рівня на вході  $\overline{EWR}$ . Номер регістра визначається відповідними комбінаціями на керуючих входах SWR0, SWR1. Якщо на  $\overline{EWR}$  високий рівень, то інформація в регістрах не змінюється.

Для зчитування необхідно подати на вхід  $\overline{ERD}$  низький рівень, а на входи SRD0, SRD1 – відповідний код регістра, з якого буде зчитано інформацію. Комбінація цих сигналів забезпечує роботу мультиплексорів і видачу необхідних розрядів на виходи Q0÷Q3. Якщо на вході  $\overline{ERD}$  високий рівень, то виходи Q0÷Q3 переводяться у третій стан.

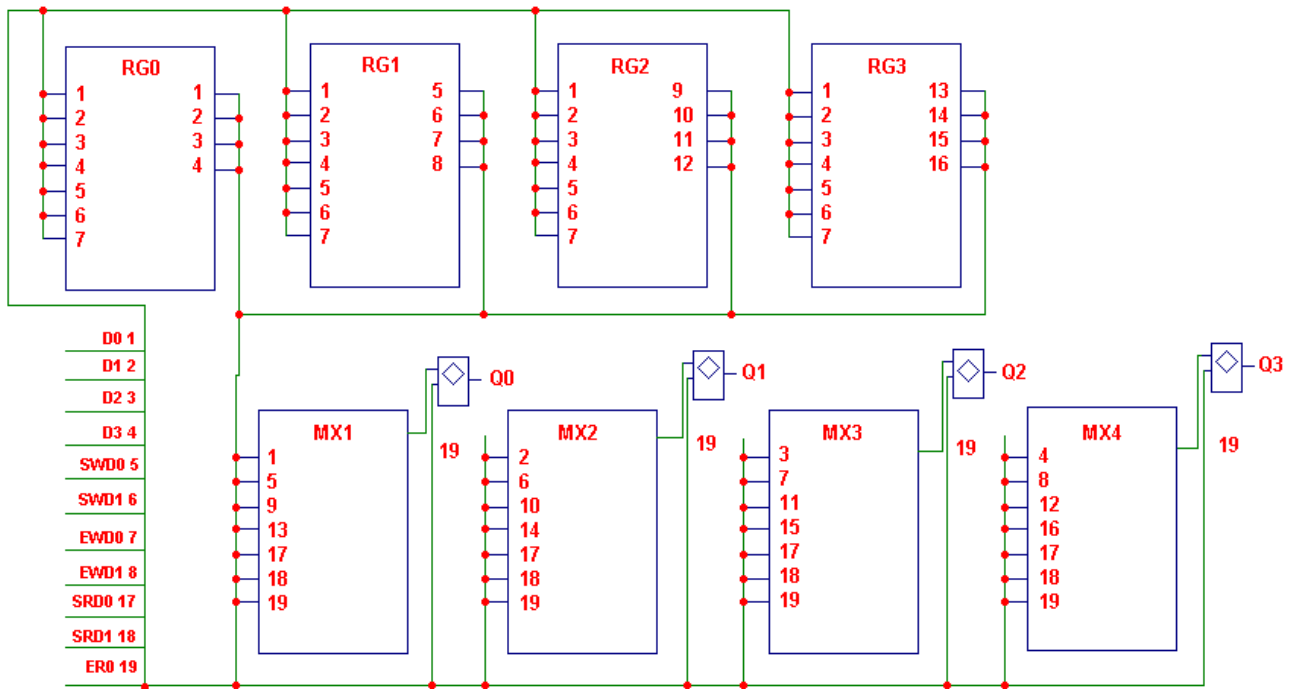


Рис. 87. Побудова регістра 4x4

**Приклад:**

В регістрах RG0, RG1, RG2, RG3 знаходиться інформація 4, 6, 8, 3 відповідно.

- 1) Зчитати інформацію з RG2;
- 2) записати інформацію «9» в регістр RG3.

| D3 | D2 | D1 | D0 | Q3 | Q2 | Q1 | Q0 | EWR | ERD | SRD1 | SRD0 | SWR1 | SWR0 |
|----|----|----|----|----|----|----|----|-----|-----|------|------|------|------|
| *  | *  | *  | *  | H  | L  | L  | L  | H   | L   | H    | L    | *    | *    |
| H  | L  | L  | H  | ◇  | ◇  | ◇  | ◇  | L   | H   | *    | *    | H    | H    |

## Шинні формувачі

Двонапрямний обмін зазвичай реалізується за допомогою шинних формувачів (Рис. 88).

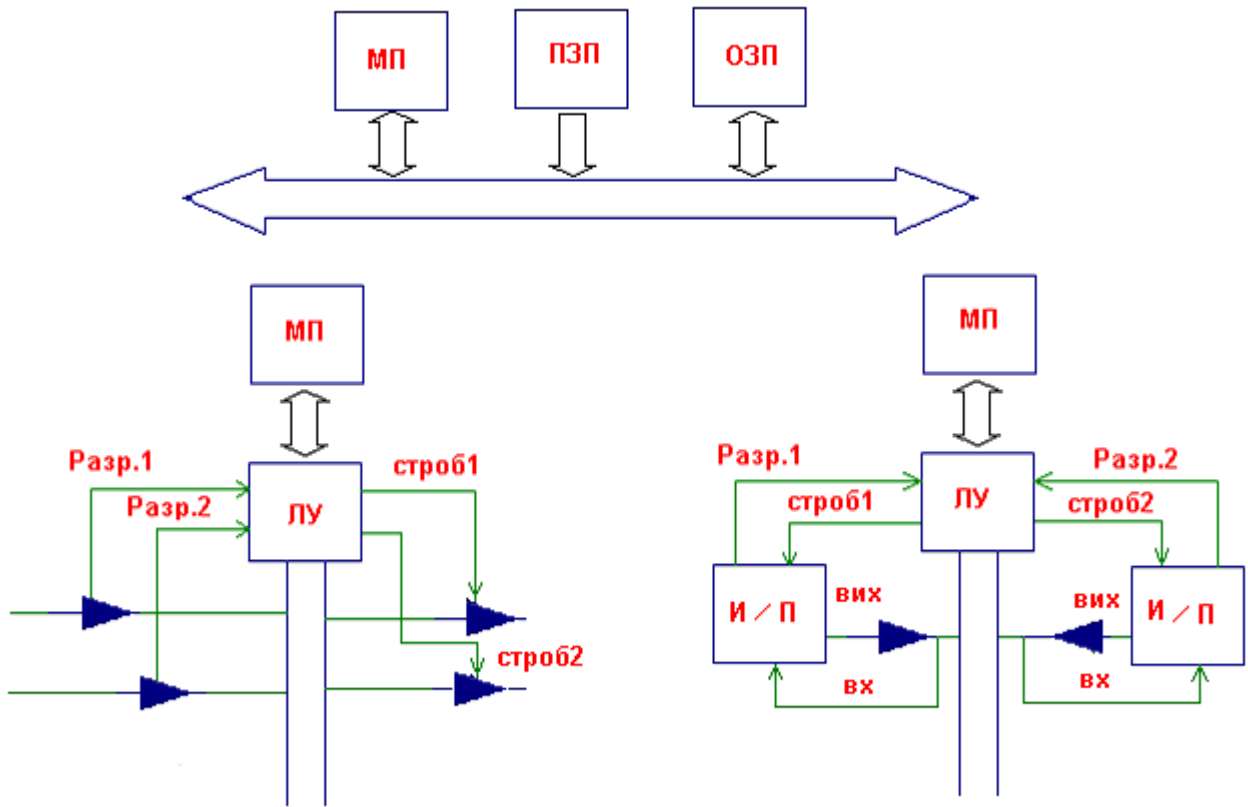
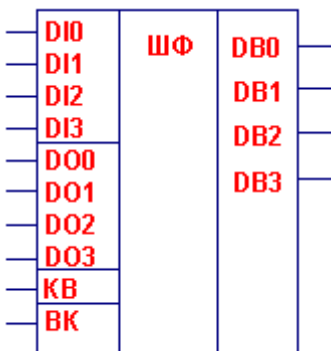


Рис. 88. Концепція обміну між пристроями з використанням третього стану



| Керуючі сигнали |    | Режим                         |
|-----------------|----|-------------------------------|
| KB              | BK |                               |
| L               | L  | $DB_i := DI_i$                |
| L               | H  | $DO_i := DB_i$                |
| H               | *  | $DO_i, DB_i - 3 \text{ стан}$ |

Рис. 89. Шинний формувач

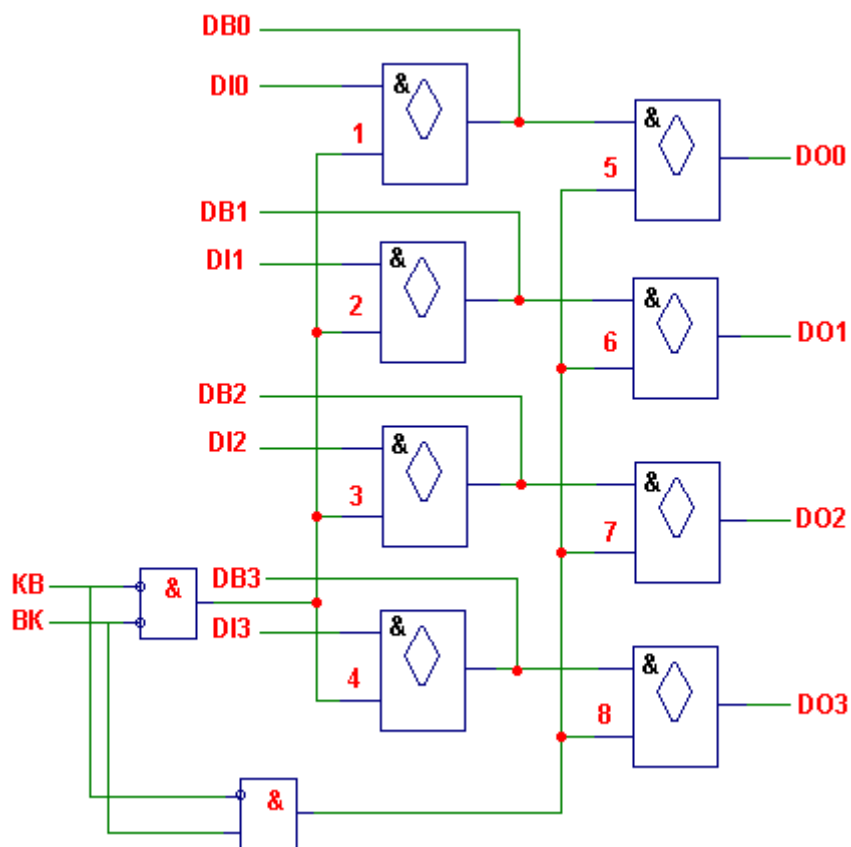


Рис. 90. Будова шинного формувача

**Призначення входів та виходів:**

- DI – інформаційні входи;
- DO – інформаційні виходи;
- KV – керування вводом;
- VK – вибір кристалу;
- DB – входи/виходи залежно від режиму роботи.

Шинні формувачі забезпечують як двонапрямний обмін, так і буферизацію вхідних і вихідних сигналів. Крім того, виходи DB та DO можуть переводитись у третій стан.

Для організації передачі інформації із внутрішніх входів DI (Рис. 90) на виходи DB необхідно забезпечити високий рівень на виходах розширення. Для цього на керуючі входи KV і VK подаються низькі рівні. Інформація з DI передається на DB.

Якщо DB є входами, то передача здійснюється на шину DO. Це відбувається при установці високого рівня на входах 5, 6, 7, 8. Для забезпечення високого рівня необхідно подати на KV низькій рівень, на VK – високий.

Для переходу виводу в 3-й стан на керуючий вхід KV необхідно подати високий рівень. При цьому на входах 1-8 встановлюється логічний "0", що забезпечує 3-й стан на вході. Принцип організації 3-го стану див. схему ТТЛ.

Інколи виходи В бувають інверсні.

## Одновібратори і їх використання

Одновібратори використовуються для формування сигналу заданої довжини (Рис. 91).

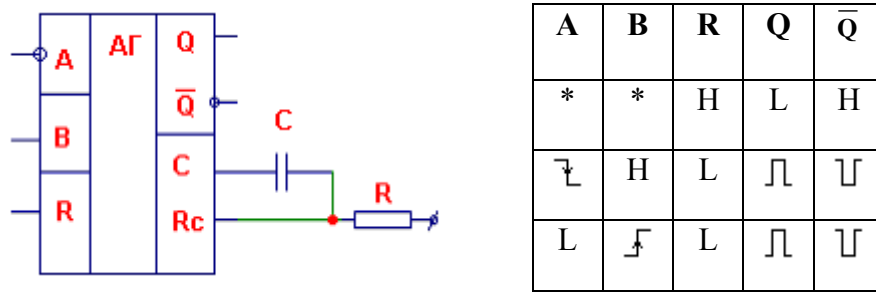


Рис. 91. Одновібратор

**Призначення входів та виходів (Рис. 91):**

A, B – керуючі входи;

R – вхід скидання в нуль;

Q,  $\bar{Q}$  - виходи, на яких встановлюється сигнал заданої довжини;

C, Rc – входи підключення елементів, що задають тривалість сигналу.

До входів C, Rc під'єднуються конденсатор та резистор, номінали яких визначають тривалість сигналу на виході одновібратора.

Одновібратори бувають з перезавпуском та без перезавпуску. Якщо одновібратор з перезавпуском, то довжина вихідного сигналу може бути збільшена на  $\tau$  (Рис. 92), якщо на керуючий вхід у момент, коли на виході встановлений сигнал, подається повторний керуючий сигнал.

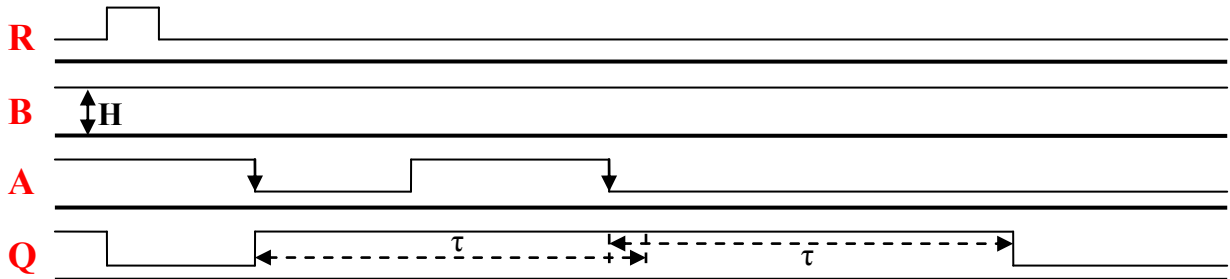


Рис. 92. Часова діаграма

Якщо необхідно використовувати одновібратор із перезавпуском у режимі без перезавпуску, то організують зв'язки між керуючими входами та відповідними виходами з урахуванням таблиці істинності (Рис. 93). У такому випадку довжина вихідного сигналу не може бути збільшена якщо на керуючий вхід у момент, коли на виході встановлений сигнал, подається повторний керуючий сигнал.

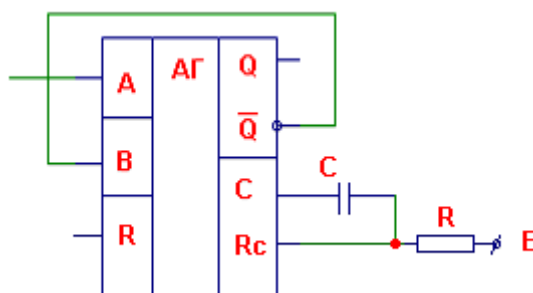


Рис. 93. Одновібратор із перезавпуском у режимі без перезавпуску

Так як одновібратор є різновидом тригерних схем, то їх недоцільно використовувати на виході пристроїв, оскільки має бути буферизація.

При організації одновібраторів використовуються як лінійні, так і нелінійні елементи, що визначає зміну параметрів сигналу в межах  $\pm 10\%$ . Використання зовнішніх елементів, що задають час, обумовлене зміною довжини сигналу при зміні температурних режимів роботи, наявність декількох керуючих входів обумовлює необхідність встановлення постійних рівнів на керуючих входах, які не використовуються.

Так як одновібратори спрацьовують по переходу, то їх робота може бути порушена при наявності наводок, а також при зміні напруги.

Для встановлення довжини сигналу можуть використовуватися електrolіти, які при деяких умовах можуть змінювати свої параметри і, отже, довжину вихідного сигналу. Як правило, одновібратори мають внутрішній опір  $R$ , який можна використовувати для встановлення довжини сигналу, але для більш стабільної роботи доцільно використовувати зовнішній резистор. При використанні одновібраторів треба пам'ятати, що зміна частоти роботи всього пристрою прямо не призведе до зміни довжини вихідних сигналів.

Так як в якості елементів, що задають час, використовуються  $R$  і  $C$ , що мають розкид параметрів, то при серійному випуску виробів необхідно враховувати це, оскільки вихідні сигнали будуть також мати розкид по довжині.

### Схема встановлення приладу у початковий стан

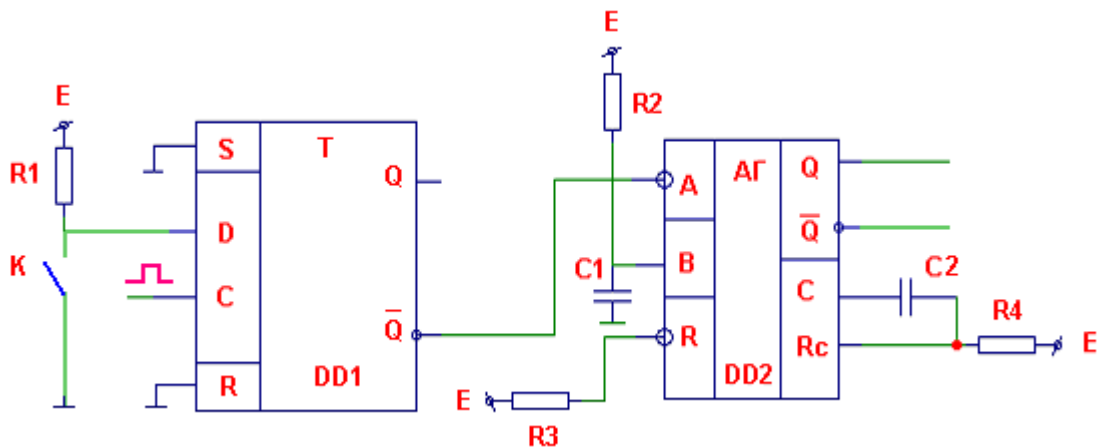


Рис. 94

В початковий момент часу на вході В одновібратора DD2 (Рис. 94) до моменту заряду конденсатора  $C1$  буде низький рівень. Після заряду конденсатора  $C1$  на вході встановлюється високий рівень, який забезпечується резистором  $R2$ . Перехід з L в H на вході В запускає одновібратор, і на виходах  $Q, \bar{Q}$  з'являються сигнали довжини  $\tau$ , які поступають на всі пристрої схеми і забезпечують початкове встановлення пристроїв. Довжина сигналів  $\tau$  визначається параметрами елементів  $C2$  і  $R4$ . Невикористаний вхід R у DD2 підключений через резистор  $R3$  до джерела живлення, що забезпечує більш надійну роботу одновібратора. Повторне встановлення пристрою у початковий стан також може здійснюватися за допомогою використання ключа K. Якщо ключ K розімкнений, то тригер DD1 за наявності синхросигналів на вході С знаходиться в стані «1» ( $Q = 1, \bar{Q} = 0$ ).

При необхідності здійснити повторний перехід в початковий стан за допомогою ключа K на вхід D подається низький рівень, який при наявності синхросигналу С переводить тригер у стан «0». На вході А одно вібратора DD2 з'являється активний сигнал, який запускає одновібратор.  $R1$  призначений для встановлення високого рівня на вході D, невикористані прямі входи R і S з'єднані зі схемною землею, що дозволяє уникнути хибних спрацьовувань тригера.



## Формування 2-х імпульсів заданої довжини

За допомогою даної схеми (Рис. 96) забезпечується видача 2 сигналів заданої довжини:  $\tau_1$ ,  $\tau_2$ . Причому перший сигнал повинен бути сформований за негативним переходом керуючого сигналу, другий сигнал повинен бути затриманий по відношенню до цього переходу на  $\tau_1$ .

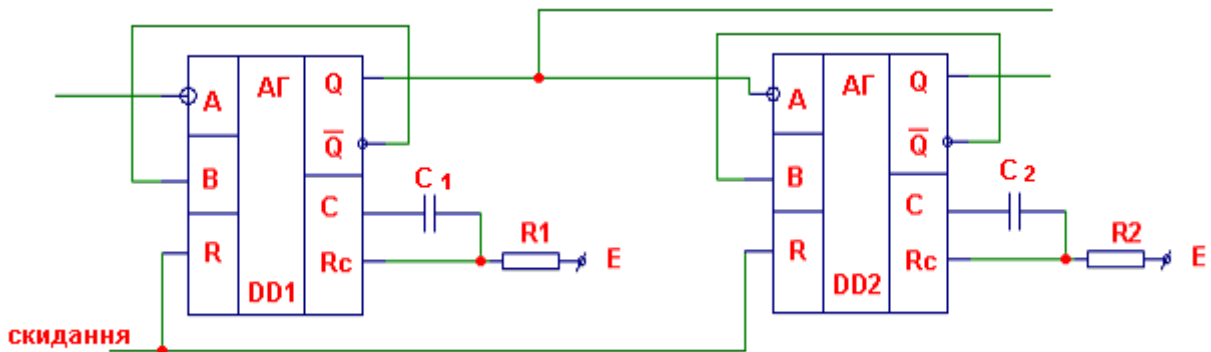


Рис. 95. Формування двох послідовних керуючих сигналів за допомогою одновібраторів

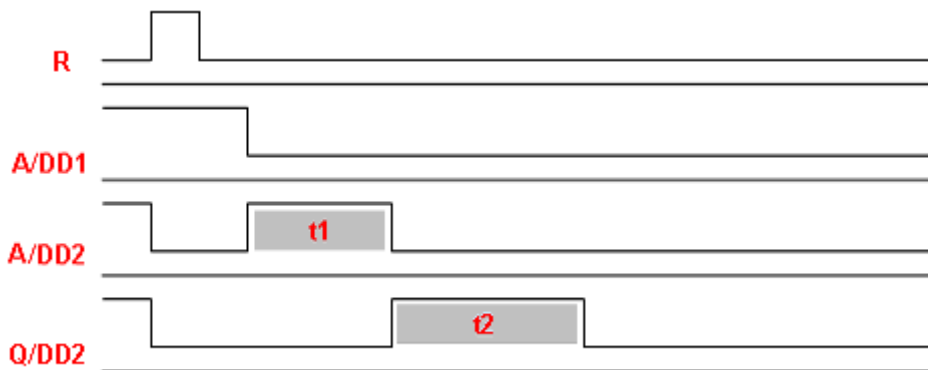


Рис. 96. Часова діаграма

У схемі використовуються одновібратори із перезавпуском. Для того, щоб вони працювали в режимі без перезавпуску, з'єднані виходи  $\bar{Q}$  з входами B. Довжина першого сигналу ( $\tau_1$ ) визначаються елементами  $C_1$ ,  $R_1$ , що задають час, довжина другого ( $\tau_2$ ) –  $C_2$ ,  $R_2$  (Рис. 96).

По скиданню обидва одновібратори встановлюються у початковий стан. При подачі на вхід A одновібратора DD1 негативного переходу запускається перший одновібратор, який формує сигнал  $\tau_1$ . Кінець сигналу запускає одновібратор DD2, який формує сигнал  $\tau_2$ .

Перевагою цієї схеми є:

- те, що сигнали  $\tau_1$  і  $\tau_2$  можуть бути різної довжини;
- мінімальні апаратні витрати.

Недоліки схеми обумовлені недоліками, пов'язаними з особливостями роботи одновібраторів: для створення одновібраторів використовується поєднання лінійних та цифрових методів. Так як лінійні схеми чутливі до змін напруги, частоти, температури, одновібратор реагує на це зміною довжини сигналу. Так як при встановленні великої шпаруватості використовуються конденсатори великої ємності, виникає проблема витоку струму. Для вирішення цієї проблеми можливо перейти на цифрові методи формування затримки з використанням тактових імпульсів і тригерних каскадів. В імпульсних схемах довжина вихідного імпульсу при високій шпаруватості зменшується. При шпаруватості 60% довжина, як правило, постійна. При шпаруватості  $\approx 100\%$  довжина змінюється більше ніж на 5 %.

## Захищеність від завад

Так як до складу одновібраторів входять лінійні елементи, їхня захищеність від поміх, зазвичай, гірша ніж в інших цифрових схемах. Вони дуже чутливі до ємнісних зв'язків поблизу зовнішніх елементів R і C, що задають час. Крім того одновібратори можуть хибно запускатися від сплесків на шинах землі та живлення. Характеристики одновібраторів можуть значно погіршуватися на границях робочих діапазонів. У паспортних даних на пристрій, як правило, вказується діапазон довжини вихідного імпульсу, в якому пристрій має нормальні показники.

## Розв'язка по виходу

У будь-якому цифровому пристрої, що складається з тригерів, виходи повинні бути буферизовані до того, як вони перейдуть на зовнішній пристрій. Якщо пристрій типу одновібратор підключити кабелем безпосередньо, то його робота може стати нестійкою за рахунок впливу ємності та віддзеркалення сигналу. При використанні одновібраторів для формування імпульсів необхідно впевнитися у тому, що на виходах не будуть генеруватися додаткові імпульси.

Схема, переповнена одновібраторами, не дозволяє регулювання тактової частоти, так як усі затримки в схемі налагоджені на певний порядок виникнення подій. Якщо є можливість реалізації затримки без використання одновібраторів, то краще використовувати саме її.

Дану задачу можна вирішити, наприклад, з використанням двох тригерів.

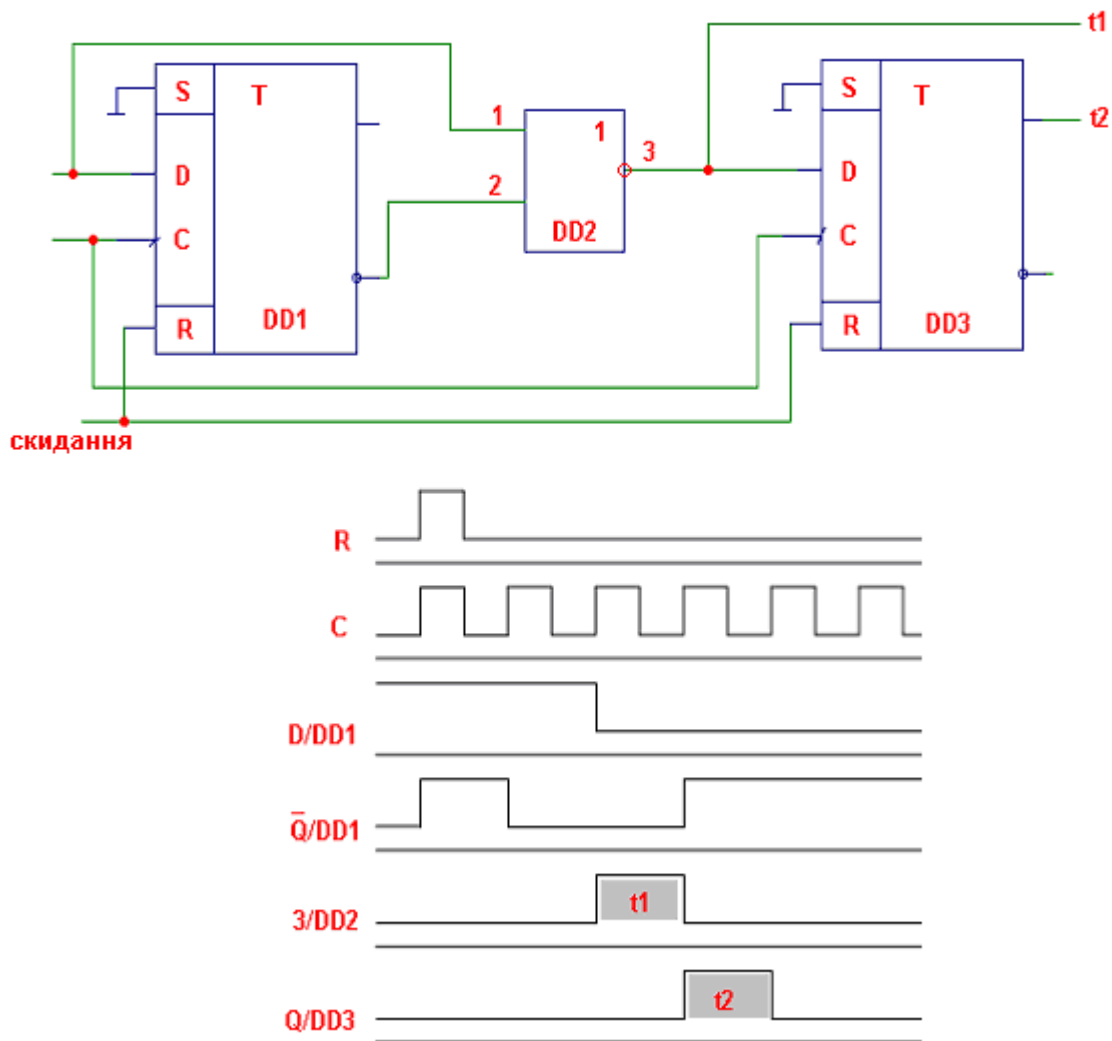


Рис. 97. Затримка з використанням двох тригерів

Дана схема (Рис. 97) забезпечує вирішення поставленої задачі, але довжини імпульсів  $\tau_1$  і  $\tau_2$  однакові і дорівнюють періоду синхросигналу. При зміні частоти синхросигналу  $\tau_1$  і  $\tau_2$  будуть змінені. По апаратним витратам в даній схемі доданий один елемент АБО-НЕ.

Інший варіант вирішення задачі – за допомогою тригера і лічильника (Рис. 98).

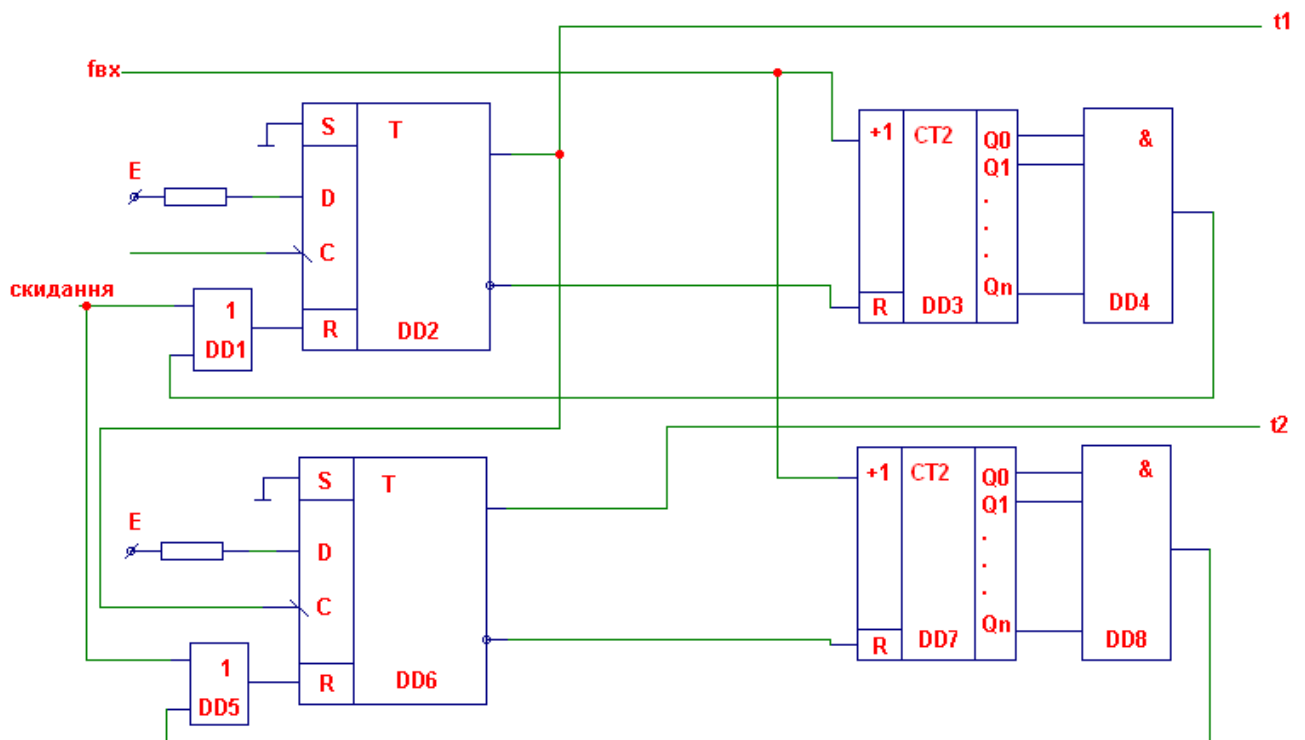


Рис. 98. Затримка з використанням тригера і лічильника

По сигналу «скидання» через DD1 і DD2 (Рис. 99) тригери встановлюються у початковий стан. Виходи  $\bar{Q}$  тригерів забезпечують встановлення лічильника в нульовий стан, так як в початковому стані на них встановлений високий рівень. Наявність одиниці на входах R лічильників блокує їх. Лічба по вхідній частоті почнеться тільки за умови, якщо на R буде низький рівень. Після зняття скидання подається негативний перехід на вхід C DD2, що забезпечує встановлення високого рівня на виході Q і низького на виході  $\bar{Q}$  схеми DD2. Такий стан DD2 забезпечує режим лічби для схеми DD3. Довжина сигналу  $\tau_1$  визначається дешифруванням виходів  $Q_0, Q_1, \dots, Q_n$  за допомогою схеми DD4. Після дешифрування скидається DD2. По цьому скиданню скидається і сигнал Q на виході DD2.

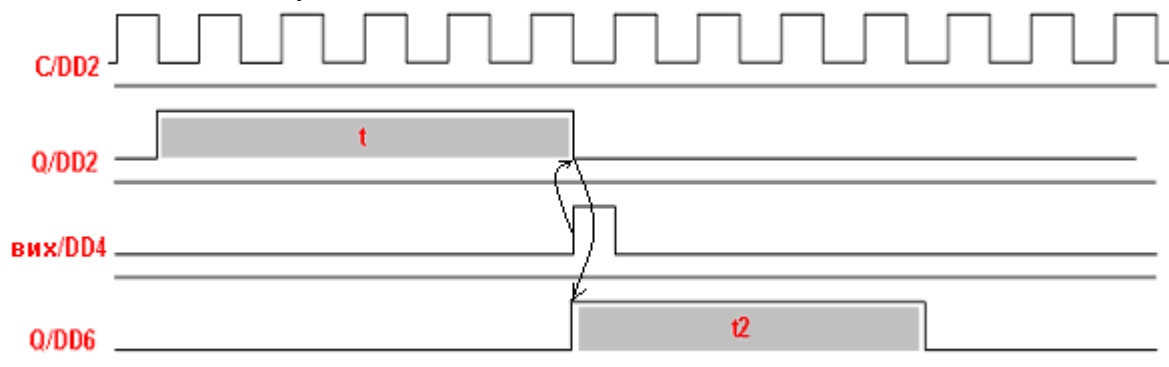


Рис. 99. Часова діаграма до схеми на рис. 98

При негативному переході на виході Q DD2 виконується встановлення тригера DD6 в одиничний стан і починається режим лічби на DD7. Довжина сигналу  $\tau_2$  визначається

дешифруванням сигналу на виходах DD7. При заданій комбінації за допомогою DD8 виконується скидання тригера DD6 і встановлення DD7 у нульовий стан.

Переваги схеми:  $\tau_1$  і  $\tau_2$  можуть бути різної довжини, але довжина їх пропорційна періоду вхідної частоти. Зміна частоти для всього пристрою призводить до зміни довжини сигналів  $\tau_1$  та  $\tau_2$ .

Недолік: додаткові апаратні витрати.

## Забезпечення завадостійкості цифрових пристроїв.

В усіх попередніх схемах ми розглядали тільки основні функції, без урахування зовнішніх впливів. В якості їх будемо розглядати завади та наведення – струм (напруга) в функціональних колах електронних схем, обумовлені зовнішніми відносно схеми електричними та/або електромагнітними джерелами енергії. Наведення включаються в поняття завад і зазвичай пов'язані з наявністю не функціонального електромагнітного впливу між елементами схеми та зовнішніми джерелами енергії. Під завадою зазвичай розуміють будь-який зовнішній вплив, який має електричну природу та порушує нормальне функціонування електронного пристрою.

Основні причини виникнення завад:

- 1) неідеальність пасивних і активних елементів;
- 2) неідеальність вторинних джерел електроживлення;
- 3) ненульовий внутрішній опір ліній живлення;
- 4) ненульовий внутрішній опір з'єднання ліній живлення і некоректне включення зв'язку з лініями живлення;
- 5) наявність індуктивних та/чи ємнісних нефункціональних (паразитних) зв'язків між інформаційними лініями і лініями живлення;
- 6) наявність індуктивних та/чи ємнісних зв'язків між інформаційними зовнішніми полями та лініями зв'язку;
- 7) неузгодженість опору при передачі сигналу на довгі лінії.

### Неідеальність пасивних і активних елементів.

Кожен елемент схеми завжди має паразитний опір, ємність чи індуктивність (Рис. 100), які визначаються конструктивним виконанням елементів та схемою їх підключення.

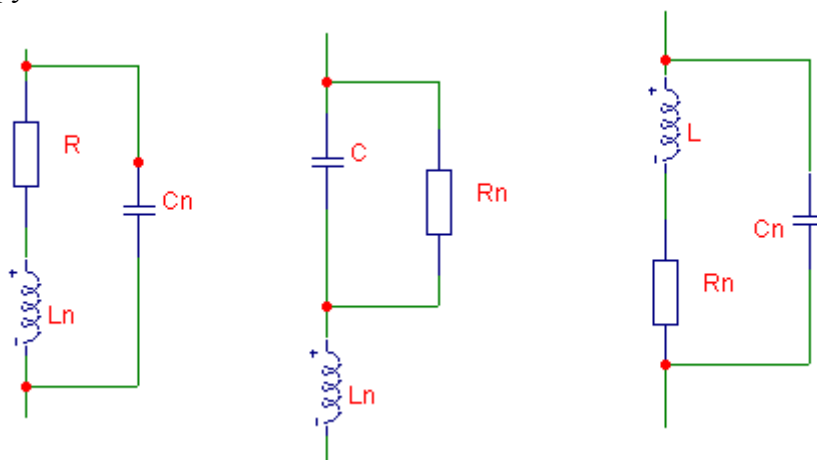


Рис. 100. Приклад паразитного опору, ємності та індуктивності

На рисунку  $X_p$  – паразитні елементи схеми.

В таких випадках ми маємо інші величини опору, ємності чи індуктивності відповідно:

$$Z_R = ((R + j\omega L_n)^{-1} + j\omega C_n)^{-1}$$

$$Z_C = (j\omega C + \frac{1}{R_n})^{-1} + j\omega L_n$$

$$Z_L = (j\omega L + R_n)^{-1} + j\omega C_n$$

Так як пасивні елементи в цілому неідеальні і величини паразитних компонентів визначаються їх конструктивними особливостями, то це необхідно враховувати при виборі параметрів пасивних елементів. Справа в тому, що пасивний елемент може не тільки змінювати свої параметри зі зміною частоти, але і виступати в ролі приймача ємнісних чи індуктивних наводок в місці з лініями зв'язку, або ж самостійно, якщо лінії короткі. Це може призвести до помилкового спрацьовування цифрових схем.

Наприклад, резистор має властивості ємності та індуктивності, як в свою чергу ємність та індуктивність мають властивості резистора, а також індуктивності та ємності відповідно.

**Неідеальність вторинних джерел електроживлення** пов'язана з ненульовим внутрішнім опором і з неповністю подавленим фоном первинного джерела, тобто пульсацією. Практично кожне джерело має пульсацію й не видає ідеальний рівень напруги.

**Наявність внутрішнього опору** обмежує потужність джерела. Якщо ввімкнути ємність, можна зберегти вихідний рівень джерела на необхідному рівні (Рис. 101). Ємність також зменшує пульсацію напруги джерела. Величина ємності залежить від потужності, яку споживає схема – чим вона більша, тим більша ємність потрібна.

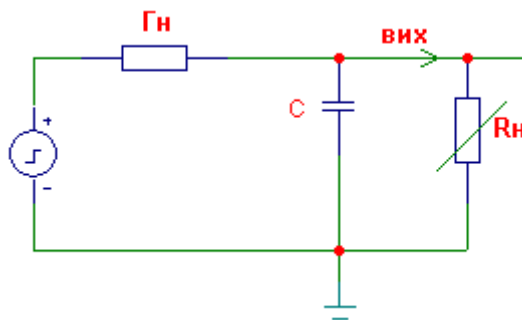


Рис 101. Наявність внутрішнього опору

**Ненульовий внутрішній опір ліній живлення** ілюструється рисунком 102:

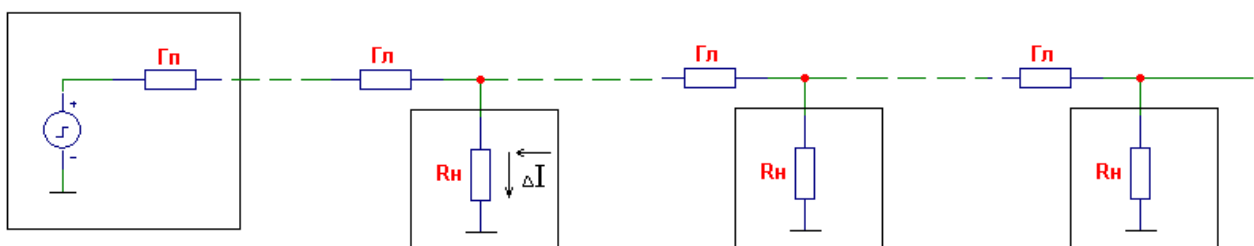


Рис. 102. Нульовий внутрішній опір ліній живлення

Споживання одним з навантажень струму  $\Delta I$  приводить до спадання напруги на опорах джерела й опорах відрізків ліній живлення. Внутрішній опір ліній живлення необхідно враховувати при підключенні пристроїв до блоку живлення.

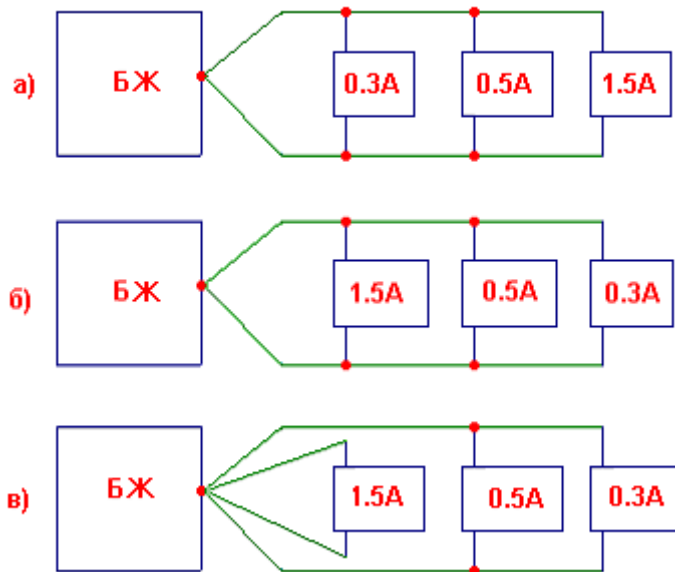


Рис. 103. Правильне підключення пристроїв з максимальним споживанням

Виходячи з неідеальності ліній живлення, доцільно пристрої з максимальним споживанням підключати до блоку живлення якомога найближче (Рис. 103). Схема а – це той випадок, якого слід уникати. У таких випадках треба змінювати порядок підключення (схема б). Це зменшує «паразитне» падіння напруги на лініях живлення. Якщо є можливість, то доцільно блоки з високим споживанням підключати через окремий контур з мінімальною довжиною ліній живлення (схема в). Щоб зменшити опір, товщина ліній повинна бути максимально припустимою.

**Наявність індуктивних та/чи ємнісних нефункціональних (паразитних) зв'язків між інформаційними лініями і лініями живлення.** Між лініями живлення й інформаційними лініями через неідеальність існують ємнісні, індуктивні й резисторні зв'язки. Це обумовлено технологією виготовлення плат й умовами експлуатації. При розведенні плат необхідно враховувати частотні характеристики сигналів, щоб максимально уникнути взаємовпливу на лініях, які проходять паралельно.

Під час монтажу прокладання в одному джгуті інформаційних проводів і проводів живлення категорично заборонено, навіть у випадку екранування проводів.

### Підключення до первинних джерел живлення

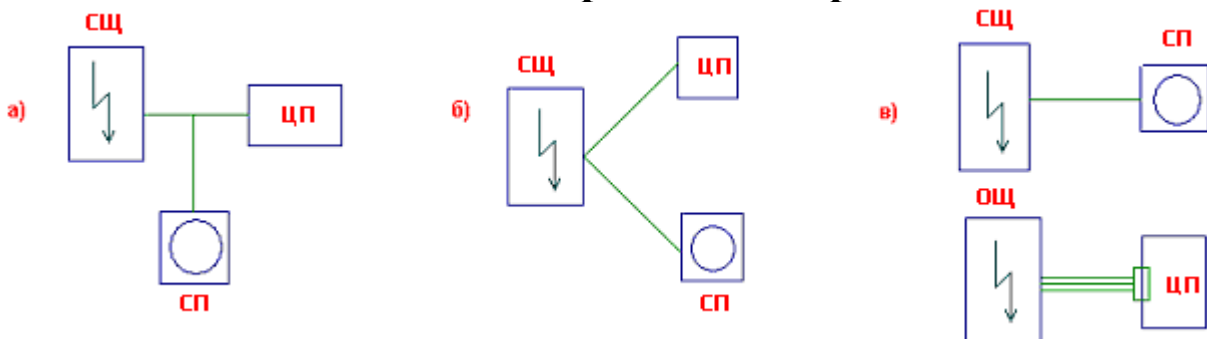


Рис. 104. Підключення до первинних джерел живлення

- СЩ - силовий щит;
- ОЩ - освітлювальний щит;
- СП - силовий пристрій;
- ЦП - цифровий пристрій.

При підключенні до первинних джерел живлення також треба враховувати дію силових пристроїв, які теж можуть бути підключені до цього живлення (Рис. 104, схема **а**). При цьому підключенні цифровий пристрій отримає живлення, напруга якого може змінюватись при вклученні, відключенні або роботі силового пристрою, що унеможливить правильну роботу цифрового пристрою. Підключення цифрового пристрою за допомогою окремого контуру допоможе зменшити завади (Рис. 104, схема **б**). Найбільший захист від завад дає схема (Рис. 104, схема **в**) з відокремленим від силових пристроїв живленням для цифрового пристрою, яке виконується екранованим кабелем та фільтром в цифровому пристрої (Рис. 105).

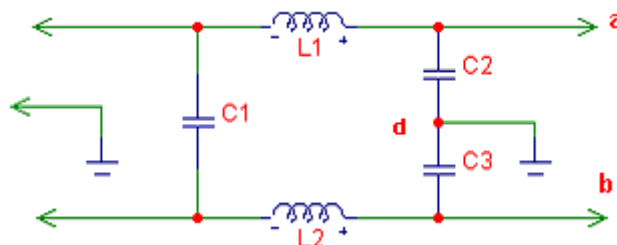


Рис. 105. Захист екранованим кабелем та фільтром

### **Призначення елементів фільтра:**

Конденсатор  $C_1$  забезпечує погашення високочастотних завад, що надходять від первинного кола. Котушки  $L_1$  й  $L_2$  пропускають низьку частоту (30 Гц) і також забезпечують захист від високочастотних завад, що йдуть від первинного кола до пристрою. Крім того, котушки захищають первинне коло від високочастотних завад. Високочастотні завади, що йдуть від пристрою, гасяться за допомогою конденсаторів  $C_2$  і  $C_3$ .

Так як підключення пристрою йде через виводи **а** й **б**, які можуть бути дзеркально повернені, то для погашення завад до середньої точки **d** підключається земля.

Для забезпечення надійної роботи пристрою необхідно також враховувати особливості завад у колах вторинного живлення. Моменти перемикання більшості інтегральних схем з одного стану в інший супроводжуються різким короткочасним зростанням струму, що споживається від вторинного джерела. Енергія, що відбирається від джерела живлення в ці моменти часу, витрачається на заряд паразитних ємностей і на протікання «наскрізного» струму через вихідні каскади. Розряд паразитних вихідних ємностей супроводжується короткочасними імпульсами струмів по земляних шинах. Через кінцеву індуктивність шин живлення й землі імпульсні струми викликають появу імпульсних напруг як позитивних, так і негативних полярностей, які прикладені між виводами живлення й землі мікросхеми. Якщо шини живлення виконані тонкими провідниками, а високочастотні розв'язуючі ємності або зовсім відсутні, або їх недостатньо, то амплітуда імпульсних завад по живленню може становити 2 В і більше. Тому необхідно, щоб шини живлення мали мінімальну індуктивність. Підключення зовнішніх шин живлення й землі до пристрою повинне здійснюватися через кілька контактів роз'єму, бажано рівномірно розташованих по довжині роз'єму. Подавлення завад повинне здійснюватися поблизу місць їхнього виникнення.

## Правила заземлення, що забезпечують захист від завад по землі

Пристрої реалізуються у вигляді конструктивних блоків і мають, принаймні, два типи землі. Корпусна шина відповідно до вимог безпеки в обов'язковому порядку підключається до шини заземлення, прокладеної в приміщенні (Рис. 106).

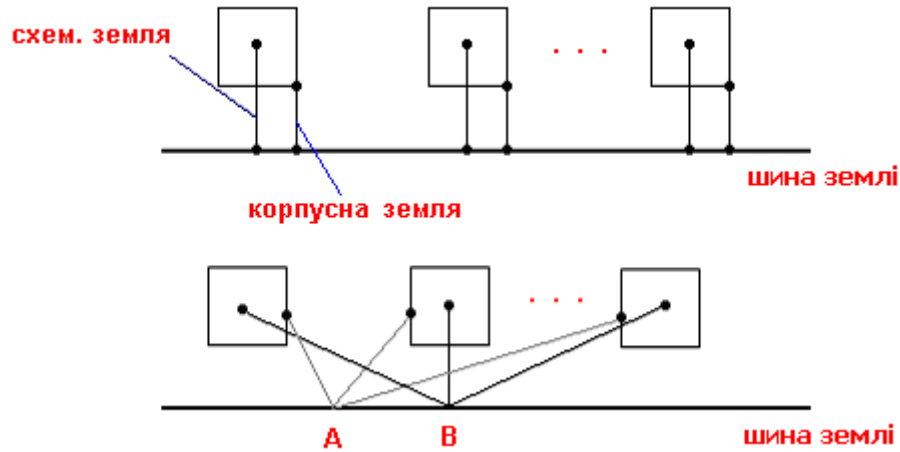


Рис. 106. Правила заземлення

Схемна земля (від якої відраховують рівні напруги сигналів) не повинна бути з'єднана з навантаженням усередині блоку. Для неї повинен бути виведений окремий затискач, ізолюваний від корпусу.

Схемні шини землі повинні об'єднуватися індивідуально в точці **В**. Точка **В** може не підключатися до шини землі. Корпусна земля обов'язково підключається до шини землі.

При неправильному заземленні імпульсні напруги, породжувані врівноважуючими струмами по шині землі, будуть фактично прикладені до виходів прийомних магістральних елементів, що може викликати їхнє помилкове спрацювання.

Вибір кращої точки для з'єднання схемної й корпусної землі залежить від конкретних умов для пристрою й найчастіше проводиться після серії ретельних експериментів. Однак загальне з'єднання точок **А** и **В** при цьому залишається в силі.

## Правила роботи з погодженими лініями

При передачі сигналу на відстань на стороні приймача встановлюється погоджувачий резистор (Рис. 107).

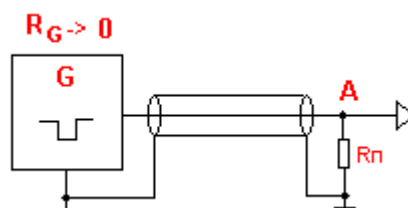


Рис. 107. Встановлення погоджувачого резистору на стороні приймача

Сигнал передається без спотворення в тому випадку, якщо величина погоджувачого резистору дорівнює опорі кабелю.

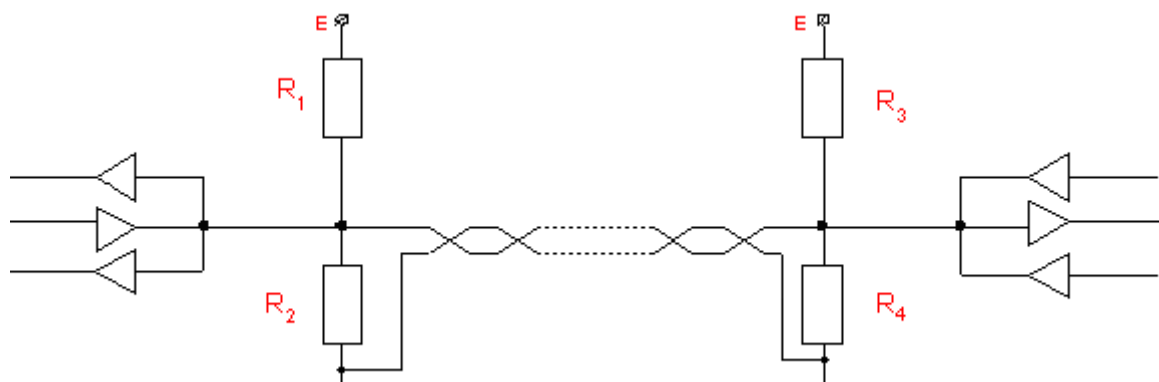


Хвильовий опір витих пар і плоских кабелів приблизно дорівнює 110÷130 Ом. Точне значення погоджувачого резистора підбирається експериментальним шляхом. При проведенні експерименту не варто використовувати дровові змінні резистори, які мають велику індуктивність і можуть внести значні перекручування у форму сигналу.

Існують два види ліній зв'язку:

- 1) з відкритим колектором;
- 2) з відкритим емітером.

### Лінія зв'язку з відкритим колектором



**Рис. 108.** Лінія зв'язку з відкритим колектором

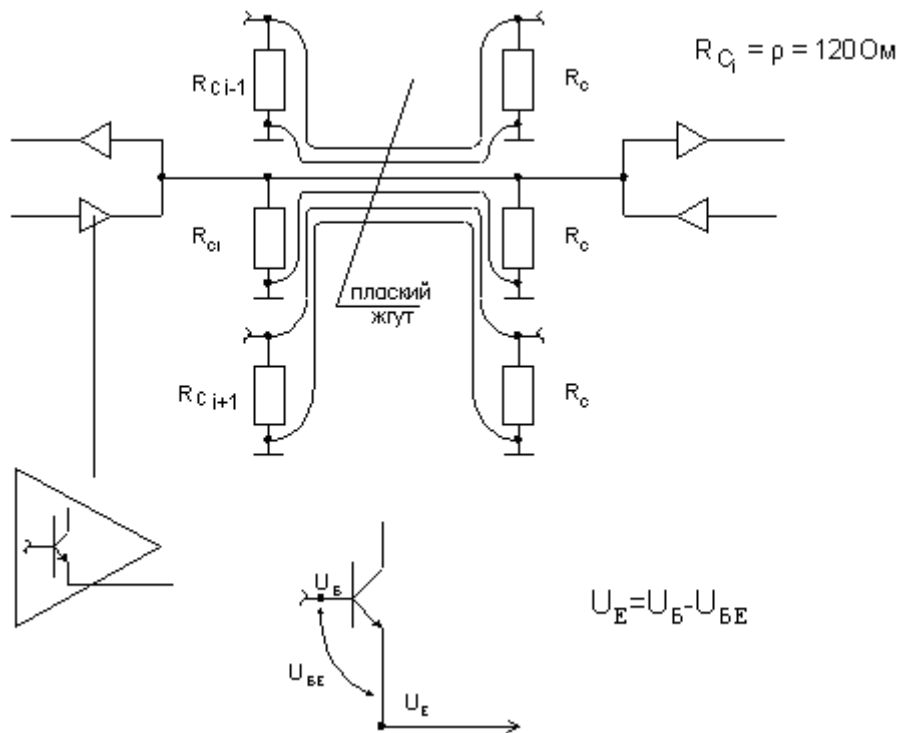
У пасивному стані всі джерела включені й на лінії рівень приблизно дорівнює більше 3 В. При спрацьовуванні будь-якого передавача напруга на лінії знижується до напруги  $U_{KE}$  вихідного транзистора джерела сигналів, тобто нижче 0,4 В.

Погоджуючий опір  $R_{П}$  приблизно дорівнює 120 Ом, утворюється як результат паралельно з'єднаних  $R_4$  й  $R_2$ .

Високий рівень на лінії визначається ділянкою  $R_1$   $R_2$ .

Лінія реалізує функцію «монтажне АБО» стосовно сигналів, представлених низьким рівнем напруги.

## Лінія зв'язку з відкритим емітером



**Рис. 109. Схеми з відкритим емітером**

Схеми з відкритим емітером добре працюють на передачу сигналу по довгій лінії. Сигнальні проводи в плоскому джгуті чергуються із проводами землі. Кожний сигнальний провід є суміжним із «своюю» й «чужою» землею. Лінія типу «відкритий емітер» реалізує монтажну функцію «або» стосовно сигналів, представлених високим рівнем напруги.

Вихідний рівень логічної одиниці при цьому змінюється незначно стосовно високого рівня на базі вихідного каскаду:

$$U_E = U_B - U_{BE}$$

При цьому потужність сигналу підсилюється за рахунок підсилювальних властивостей транзистора:

$$I_E = (\beta + 1) I_B$$

У всіх розглянутих лініях повинні використовуватися приймачі з великим входним опором і малою входною ємністю.

Вихідний і вхідний опір для схем ТТЛ мінімальний, тому що вхідний опір визначається відкритим переходом  $U_{BE}$  або  $U_{EK}$ . Відповідно, вихідний опір визначається відкритим переходом  $U_{KE}$  нижнього каскаду.

## Фізична реалізація магістралей

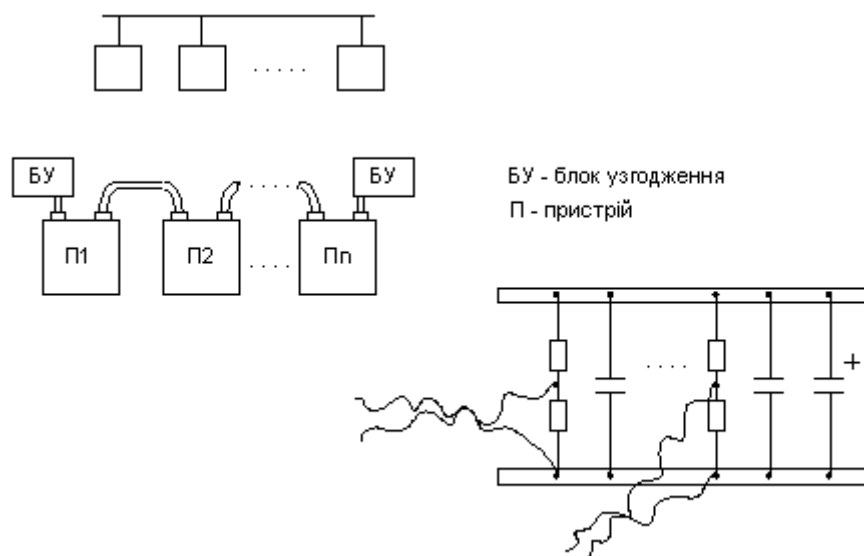


Рис. 110. Фізична реалізація магістралей

Кожен пристрій підключається до магістралі через 2 роз'єми, на кінцях магістралі встановлюються узгоджуючі блоки або спеціальні узгоджуючі заглушки. Необхідні умови при проектуванні БУ:

- кожному резисторному ділянці повинен відповідати конденсатор ємністю не меншою, ніж 0,02 мкФ. Він встановлюється в безпосередній близькості від «свого» ділянки між шиною живлення й землею. Паралельно цим конденсаторам встановлюється низькочастотний конденсатор для фільтрації низькочастотних завад. Це ж правило залишається в силі при використанні резисторних зборок.
- незважаючи на спільність землі в узгоджуючому блоці, до кожного виводу землі резисторних ділянок повинна підходити «своя» земля.

## Передача магістральних сигналів через роз'єми

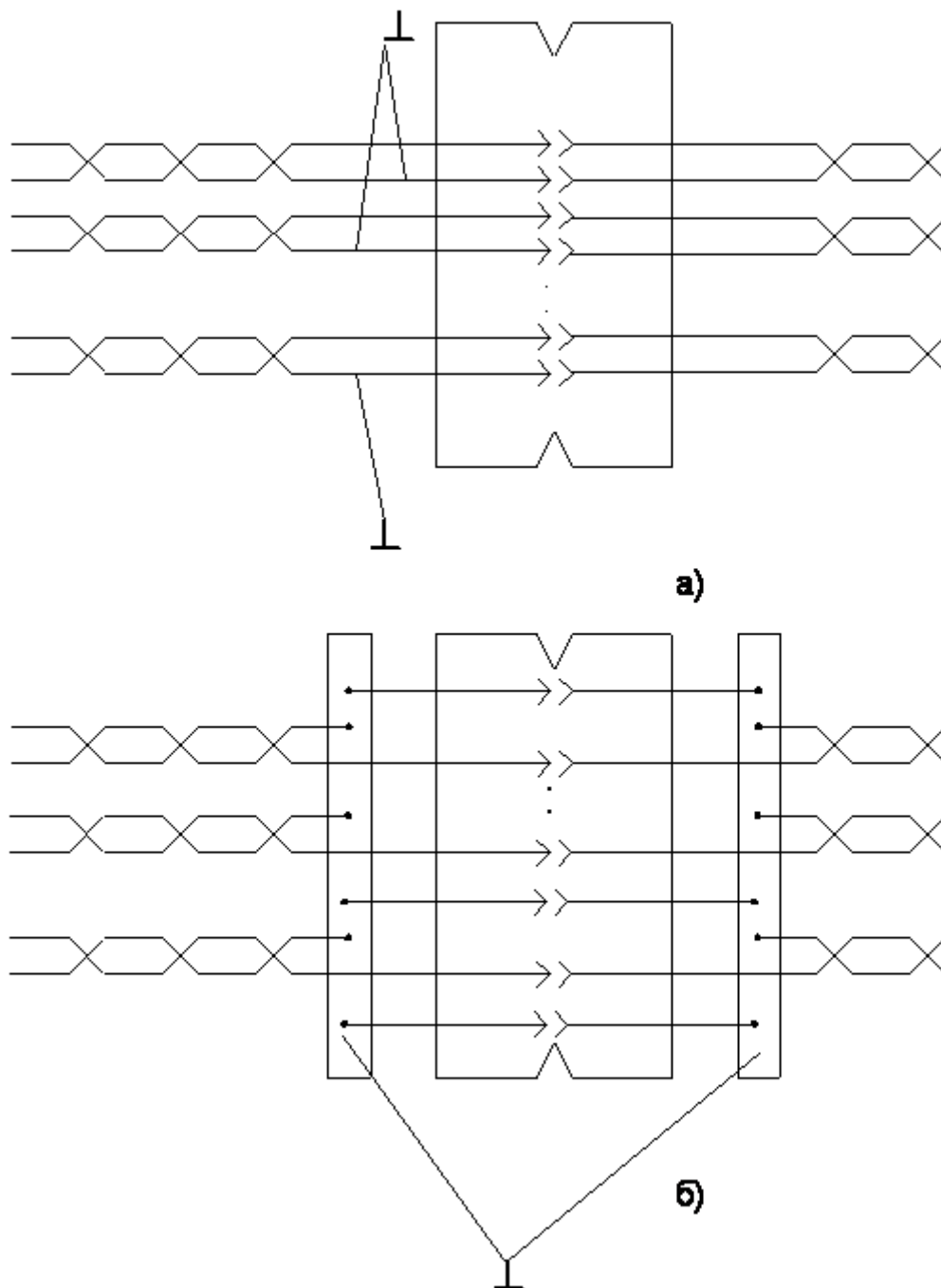


Рис. 111. Розпаювання витієї пари

Найкращий варіант розпаювання витієї пари зображений на рис. 111а. Фронт біжучого по магістралі імпульсу майже «не відчуває» роз'єму, тому що неоднорідність, що вноситься у лінію передачі, незначна, але при цьому потрібно зайняти 50% контактів під землю. Якщо ця умова не здійснена, то можна прийняти 2-й варіант (Рис. 111б), більш економічний по числу контактів «земля», але при цьому підвищується неоднорідність сигналів і зменшується завадостійкість. При цьому землі витієї пар збираються на металеві планки, розпайка землі ведеться рівномірно по довжині планки, у міру розпайки відповідних інформаційних сигналів на контакти. Обидві планки поєднуються через контакти роз'єму за допомогою перемичок мінімальної довжини й максимальної площі поперечного перерізу.

Перемички розташовуються рівномірно по роз'єму. Кожна перемичка відповідає 4÷5 інформаційним сигналам, але загальне число перемичок не повинне бути меншим 3.

## Виконання відгалужень від магістралі

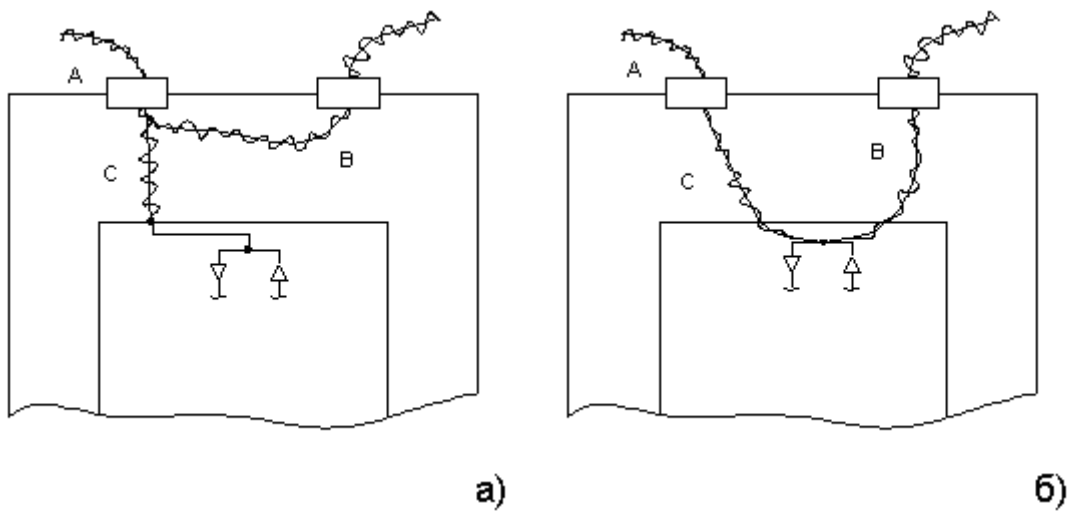


Рис. 112

Передачу через роз'єми однією й тією ж сигнальною лінією від одного пристрою до іншого необхідно здійснювати таким чином, щоб не відбувалося розщеплення на дві частини енергії хвилі. На рис. 112а після заряду лінії С повноцінна хвиля починає поширюватися по лінії В, намагаючись наздогнати хвилю половинної енергії, яка минула раніше.

Фронт сигналу при цьому буде мати східчасту форму. Правильним буде послідовне включення ліній А, С, В (Рис. 112б). У такому випадку повноцінна хвиля буде поширюватися послідовно, причому приймачі й передавачі всередині пристрою необхідно розташовувати якнайближче до краю пристрою для зменшення неоднорідності.

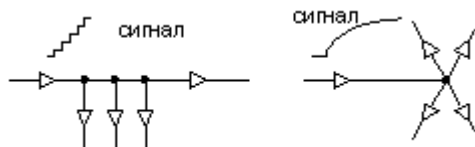


Рис. 113. З'єднання приймачів послідовно та пучком

При підключенні пристроїв доцільно рознести їх по лінії, тому що спотворення фронту відбувається поступово, у міру включення приймача. Якщо підключити приймачі пучком, то в момент включення фронт буде різко затягнутий (Рис. 113).

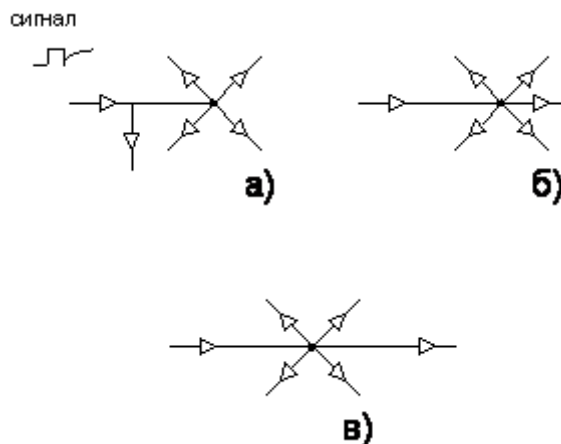


Рис. 114. Підключення приймачів на лінії

При підключенні приймачів на лінії (Рис. 114) найбільш небезпечна ситуація у випадку а для першого підключеного приймача, тому що в момент включення пучка приймачів може

спостерігатися різкий стрибок, що призведе до помилкового спрацьовування першого приймача.

Варіанти б і в виключають цю ситуацію, але призводять до затягування фронту для всіх приймачів.

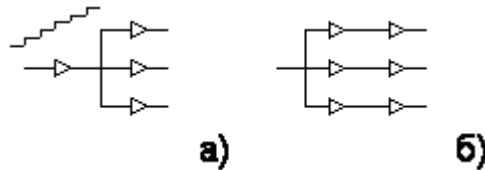


Рис. 115. Передача сигналу від одного джерела до кількох

Якщо необхідно передати сигнал від одного джерела до декількох, то є сенс розділити їх відразу й передати кожному приймачу окремо (Рис. 115, варіант б). У цьому випадку практично немає перекручувань. У випадку а буде спостерігатися східчасте перекручування.

## Загальні рекомендації зі зменшення завад при реалізації електронної апаратури

Подавлення зовнішніх і внутрішніх завад вимагає ретельного пророблення схем і конструкцій кіл живлення, заземлення, екранування, топології друкованих плат й урахування особливостей застосовуваної елементної бази. При цьому необхідно пам'ятати, що інтегральні схеми ТТЛ незалежно від ступеня інтеграції являють собою струмові пристрої з малим входним опором і досить чутливі до зміни напруги по лінії живлення між окремими інтегральними схемами.

Інтегральні схеми МДН управляються напругою і мають високий входний опір. Особливо чутливі до ємнісних навантажень.

Інтегральні схеми ЕЗЛ комутують у лініях зв'язку більші струми за малий час. Важлива проблема, що лінії зв'язку перехресні. У пристроях з ЕЗЛ-схемами часто виникають проблеми із хвильовими процесами в довгих лініях, що вимагає обов'язкового узгодження ліній зв'язку з навантаженнями. Забезпечення завадостійкості цих схем ускладнене малою величиною припустимої статичної завади й лінійним режимом роботи транзистора.

### Практичні рекомендації:

- 1) обов'язково застосовувати в ланцюгах живлення конденсаторні розв'язки;
- 2) необхідно не плутати не тільки поняття «загальний провід» й «земля», але й проводи, що їх реалізують. Шина «земля» не повинна використовуватися для передачі потужності. Провідники «загальний провід» й «земля» повинні з'єднуватися в одній точці конструкції з метою виключення замкнених контурів, що випромінюють електромагнітні наведення;
- 3) живлення мікросхем або окремих вузлів, що споживають великі струми, виконувати окремою лінією або використовувати окремі джерела. Резистори витоку (забезпечують режимні струми мікросхеми) необхідно вибирати мінімально припустимих номіналів;
- 4) у вузлах і пристроях, що використовують ТТЛ-схеми, входи, не задіяні у функціональному відношенні, необхідно підключити через резистор (орієнтовно 1 кОм). У вузлах і пристроях на основі МОН (КМОН) мікросхем виводи підключаються до шини живлення безпосередньо. При використанні на одній друкованій платі цифрових й аналогових мікросхем загальний провід живлення обов'язково повинен бути розділений на аналоговий і цифровий. При виборі джерела живлення необхідно враховувати, що для аналогових схем дуже велике значення має рівень пульсації.

## Передача інформації на довгі відстані за допомогою оптронних пар

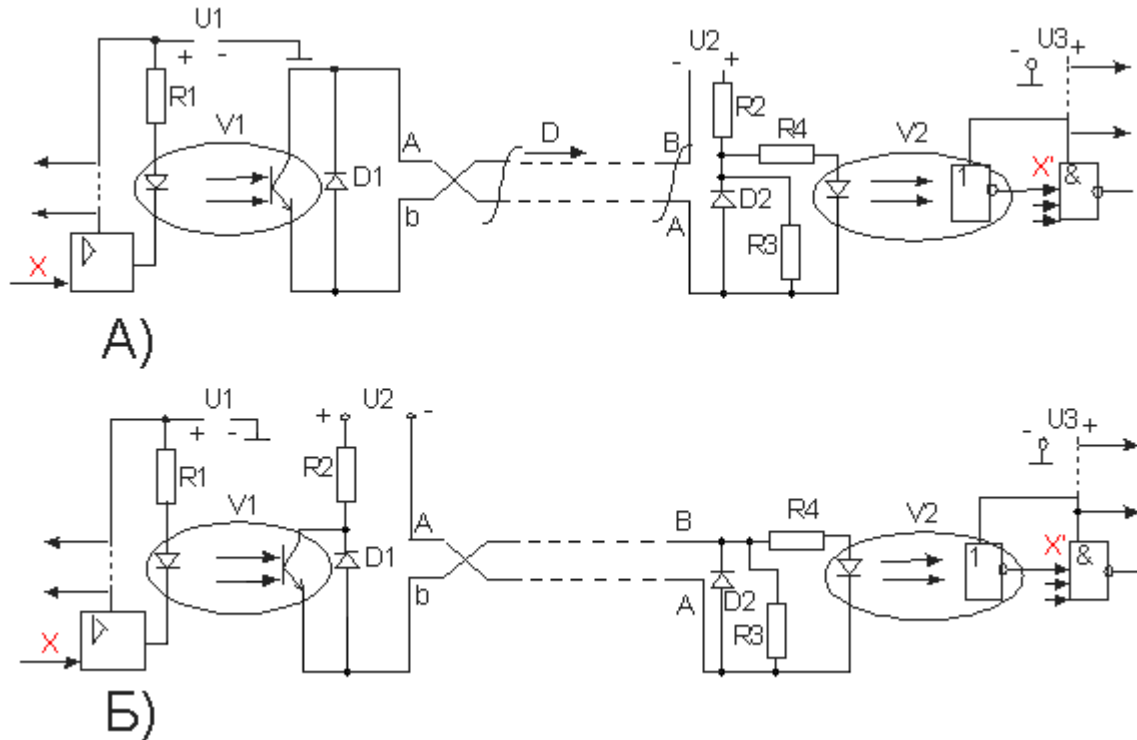


Рис. 116. Оптронна пара

Оптронна пара пристрою включає світлоелемент (джерело) і фотоелемент (приймач) (Рис. 116). У якості світлоелемента, як правило, використовується світлодіод. Приймач – фотодіод або фототранзистор.

### Призначення елементів:

$R_1, R_2, R_4$  – призначені для обмеження струмів через відповідне коло, наприклад,  $R_1$  – через світлодіод оптрону  $V1$ .

$D_1, D_2$  виконують захисні функції в колах при виникненні негативних завод.

Джерело  $U1$  використовується для живлення схеми джерела сигналу,  $U2$  – для кола передавача,  $U3$  – джерело живлення приймача.

Схема **А** і схема **Б** відрізняються розміщенням джерела живлення  $U2$ . Схема **А** – схема з активним приймачем, схема **Б** – схема з активним джерелом. Джерело  $U2$  розміщається виходячи з доцільності й, у цілому, на роботу впливає.

### Робота схеми:

Якщо на вході  $X$  низький рівень, то через світлодіод оптрону  $V1$  проходить струм. Світлодіод випромінює світло на базу фототранзистора, що приводить до різкого зменшення опору між колектором й емітером. Коло передавача із джерелом  $U2$  опиняється під струмом. Від джерела  $U2$  струм проходить через світлодіод оптрону  $V2$  і забезпечує на виході інвертора оптрону  $V2$  низький рівень, що надходить на вхід приймача сигналу (схема І-НЕ).

Якщо на вході  $X$  високий рівень, то світлодіод оптрону  $V1$  закритий і між колектором й емітером фототранзистора високий опір, тому що він перебуває в режимі відсічки. При цьому струм по передавальному колу не проходить. На вході інвертора оптрону  $V2$  немає світла, що забезпечує на виході високий рівень.

Схема **Б** працює аналогічно.